

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

摘要

高性能32/40位浮点处理器，针对高性能音频处理进行优化
 单指令、多数据(SIMD)计算架构
 片内存储器：5 Mb片内RAM，4 Mb片内ROM
 工作频率高达400 MHz
 与SHARC系列的所有其它产品代码兼容

ADSP-2148x处理器提供以音频中心的独特外设，例如：数字应用接口、串行端口、精密时钟发生器、S/PDIF收发器、异步采样速率转换器、输入数据端口等
 详细订购信息请参阅第66页的订购指南

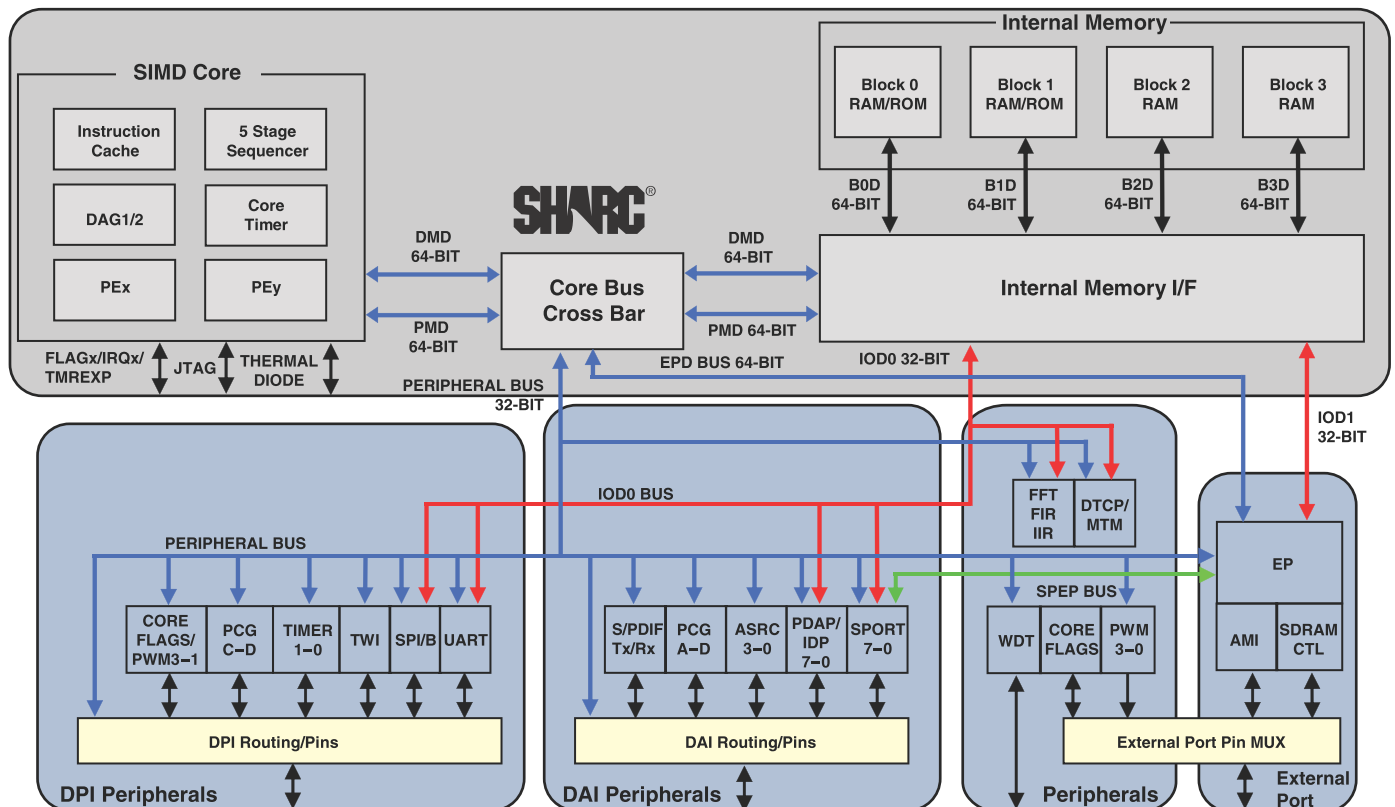


图1. 功能框图

SHARC和SHARC标志均为ADI公司的注册商标。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.
 Tel: 781.329.4700
 Fax: 781.461.3113
www.analog.com
 ©2012 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

摘要.....	1	封装信息.....	20
概述.....	3	ESD灵敏度.....	20
系列内核架构.....	4	最大功耗.....	20
系列外设架构.....	7	时序规格.....	20
I/O处理器特性.....	10	输出驱动电流.....	54
系统设计.....	11	测试条件.....	54
开发工具.....	12	容性负载.....	54
其它信息.....	12	热特性.....	55
相关信号链.....	12	100引脚LQFP_EP引脚分配.....	57
引脚功能描述.....	13	176引脚LQFP_EP引脚分配.....	59
技术规格.....	17	外形尺寸.....	63
工作条件.....	17	表贴设计.....	64
电气特性.....	18	汽车应用级产品.....	65
绝对最大额定值.....	20	订购指南.....	66

修订历史

2012年4月—修订版0至修订版A

纠正待处理的文档错误

纠正引脚描述中的EMU引脚类型.....	13
纠正上电时序要求(处理器启动)中的单位.....	22
纠正串行端口—外部时钟中的 t_{SCLKW} 参数.....	34
纠正串行端口—TDV(发送数据有效)中的参数描述.....	38
汽车应用级产品中增加新的产品.....	65
订购指南.....	66

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

概述

ADSP-2148x SHARC®处理器属于SIMD SHARC系列DSP，采用ADI公司的Super Harvard架构。该系列处理器与ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2146x、ADSP-2147x、ADSP-2116x DSP以及SISD(单指令、单数据)模式的第一代ADSP-2106x SHARC处理器源代码兼容。ADSP-2148x处理器为32/40位浮点处理器，针对高性能音频应用进行了优化，具有大容量片内SRAM，多条内部总线可消除I/O瓶颈，并且提供创新的数字应用接口(DAI)。

表1给出了ADSP-2148x处理器的性能基准。表2显示了每款产品的特性。

表1. 处理器基准

基准算法	速度 (at 400时)
1024点复数FFT(基4，带翻转)	23 μ s
FIR滤波器(每抽头) ¹	1.25 ns
IIR滤波器(每双二阶) ¹	5 ns
矩阵乘法(流水线) [3 × 3] × [3 × 1] [4 × 4] × [4 × 1]	11.25 ns 20 ns
除法(y/×)	7.5 ns
平方根倒数	11.25 ns

¹假定多通道SIMD模式下有两个文件

表2. ADSP-2148x系列特性

特性	ADSP-21483	ADSP-21486	ADSP-21487	ADSP-21488	ADSP-21489
最大指令速率	400 MHz				
RAM	3 Mbits	5 Mbits		3 Mbits	5 Mbits
ROM	4 Mbits			无	
ROM含音频解码器 ¹	有			无	
脉冲宽度调制	4单元(100引脚封装为3单元)				
DTCP硬件加速器	联系ADI公司				
外部端口接口(SDRAM、AMI) ²	有(16-bit)	仅AMI	有(16-bit)		
串行端口	8				
从SPORT到外部端口(外部存储器) 直接DMA	是				
FIR、IIR、FFT加速器	有				
看门狗定时器	有(仅176引脚封装)				
MediaLB接口	仅汽车应用型号				
IDP/PDAP	有				
UART	1				
DAI (SRU)/DPI (SRU2)	有				
S/PDIF收发器	有				
SPI	有				
TWI	1				
SRC性能 ³	-128 dB				
热二极管	有				
VISA支持	是				
封装 ²	176引脚 LQFP EPAD 100引脚 LQFP EPAD		176引脚 LQFP EPAD	176引脚LQFP EPAD 100引脚LQFP EPAD	

¹ ROM经过工厂编程，包含Dolby Labs和DTS的最新多声道音频解码及后处理算法。支持的解码器/后处理器算法组合取决于芯片版本和系统配置。详细信息请访问www.analog.com。

² 100引脚封装不含外部端口。使用此封装时，SDRAM控制器引脚必须禁用。更多信息请参阅第13页的[引脚功能描述](#)。176引脚封装的ADSP-21486处理器同样不包含SDRAM控制器。更多信息请参阅第59页的[176引脚LQFP_EP引脚分配](#)。

³ 某些型号具有-140 dB性能。更多信息请参阅第66页的[订购指南](#)。

图1显示了构成ADSP-2148x处理器的两个时钟域。内核时钟域包含以下特性：

- 两个处理元件(PE_x、PE_y)，各元件均由ALU、乘法器、移位器和数据寄存器文件组成
- 数据地址发生器(DAG1、DAG2)
- 带指令缓存的程序序列器
- PM和DM总线，支持存储器与内核之间在每个内核处理器周期传输2x64位数据
- 一个带引脚排列的周期性间隔定时器
- 片内SRAM (5 Mb)和屏蔽可编程ROM (4 Mb)
- 用于仿真和边界扫描的JTAG测试访问端口。JTAG通过用户断点提供软件调试功能，支持灵活的异常处理。

图1所示ADSP-2148x框图还显示了外设时钟域(也称为I/O处理器)，它包含以下特性：

- 用于32位数据传输的IOD0(外设DMA)和IOD1(外部端口DMA)总线
- 用于内核连接的外设和外部端口总线
- 带AMI和SDRAM控制器的外部端口
- 4个PWM控制单元
- 1个用于内部到内部存储器传输的存储器到存储器(MTM)单元
- 数字应用接口，包括4个精密时钟发生器(PCG)、1个用于串行和并行互连的输入数据端口(IDP/PDAP)、1个S/PDIF接收器/发送器、4个异步采样速率转换器、8个串行端口和1个灵活的信号路由单元(DAI SRU)。
- 数字外设接口，包括2个定时器、1个双线式接口(TWI)、1个UART、2个串行外设接口(SPI)、2个精密时钟发生器(PCG)、1个脉宽调制(PWM)单元和1个灵活的信号路由单元(DPI SRU2)。

如第5页的SHARC内核框图所示，该系列处理器采样两个计算单元，相对于以前的SHARC处理器，其处理各种DSP算法的性能有了显著提高。利用SIMD计算硬件并以400 MHz速率运行时，该系列处理器能够执行2.4 GFLOPS。

系列内核架构

ADSP-2148x与ADSP-2147x、ADSP-2146x、ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161及第一代ADSP-2106x SHARC处理器在汇编水平上代码兼容。ADSP-2148x与ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2146x、ADSP-2116x SIMD SHARC处理器具有相同的架构特性，如图2所示，详见以下部分的说明。

SIMD计算引擎

ADSP-2148x包含两个用作单指令、多数据(SIMD)引擎的计算处理器元件，分别称为PE_x和PE_y，各元件均由ALU、乘法器、移位器和寄存器文件组成。PE_x始终有效，PE_y可通过将MODE1寄存器的PEYEN模式位设为1来使能。SIMD模式允许处理器在两个处理元件中执行同一指令，但各处理元件处理不同的数据。这种架构对于执行计算密集型DSP算法非常有效。

SIMD模式也会影响数据在存储器与处理元件之间的传输方式，因为为了支持处理元件的计算操作，需要两倍的数据带宽。所以，进入SIMD模式时，存储器与处理元件之间的带宽也会加倍。在SIMD模式下使用DAG传输数据时，每次存储器或寄存器文件访问传输两个数据值。

独立并行计算单元

各处理元件内部有一组计算单元。计算单元由算术/逻辑单元(ALU)、乘法器和移位器组成。这些单元在单一周期中执行所有操作，并行排列，从而使计算吞吐速率达到最大。单一多功能指令执行并行ALU和乘法器操作。在SIMD模式下，并行ALU和乘法器操作同时在两个处理元件中进行。这些计算单元支持IEEE 32位单精度浮点、40位扩展精度浮点和32位定点数据格式。

定时器

处理器包含一个内核定时器，用于产生周期性软件中断。内核定时器可以配置为利用FLAG3作为定时器到期信号。

数据寄存器文件

每个处理元件均包含一个通用数据寄存器文件。该寄存器文件用于在计算单元与数据总线之间传输数据，以及存储即时结果。这些10端口、32寄存器(16个主要寄存器、16个辅助寄存器)寄存器文件加上处理器的增强Harvard架构，实现了计算单元与内部存储器之间不受限制的数据流动。PE_x中的寄存器称为R0至R15，PE_y中称为S0至S15。

上下文切换

处理器的许多寄存器都有辅助寄存器，在中断处理期间可以将其激活以实现快速上下文切换。寄存器文件中的数据寄存器、DAG寄存器以及乘法器结果寄存器均有辅助寄存器。主要寄存器在复位时有效，辅助寄存器则是通过模式控制寄存器中的控制位激活。

通用寄存器

这些寄存器可用于一般任务。USTAT (4)寄存器可以对所有外设寄存器(控制/状态)轻松进行位操作(置1、清0、反转、测试、XOR)。

数据总线交换寄存器(PX)允许数据在64位PM数据总线与64位DM数据总线之间传送，或者在40位寄存器文件与PM/DM数据总线之间传送。这些寄存器包含用来处理数据宽度差异的硬件。

单周期获取1个指令和4个操作数

ADSP-2148x采用增强Harvard架构，数据存储器(DM)总线传输数据，程序存储器(PM)总线传输指令和数据。利用独立的程序和数据存储器总线以及片内指令缓存，处理器可以在一个周期内同时获取4个操作数(每条数据总线2个)和1个指令。

指令缓存

处理器含有一个片内指令缓存，支持三总线操作以获取一个指令和四个数据值。缓存是选择性的，只有这样的指令才会被缓存：指令获取与PM总线数据存取冲突。此缓存支持全速执行内核环路操作，如数字滤波器乘加和FFT蝴蝶处理等。

带零开销硬件环形缓冲器支持的数据地址发生器

两个数据地址发生器(DAG)用于间接寻址以及环形数据缓冲器的硬件实现。环形缓冲器支持对数字信号处理所需的延迟线和其它数据结构进行高效编程，常用于数字滤波器和傅里叶变换。两个DAG包含足够的寄存器，最多可以创建32个环形缓冲器(16个主要寄存器集、16个辅助寄存器集)。DAG自动处理地址指针回绕，可降低开销、提高性能并简化实现。环形缓冲器可以在任何寄存器位置开始和结束。

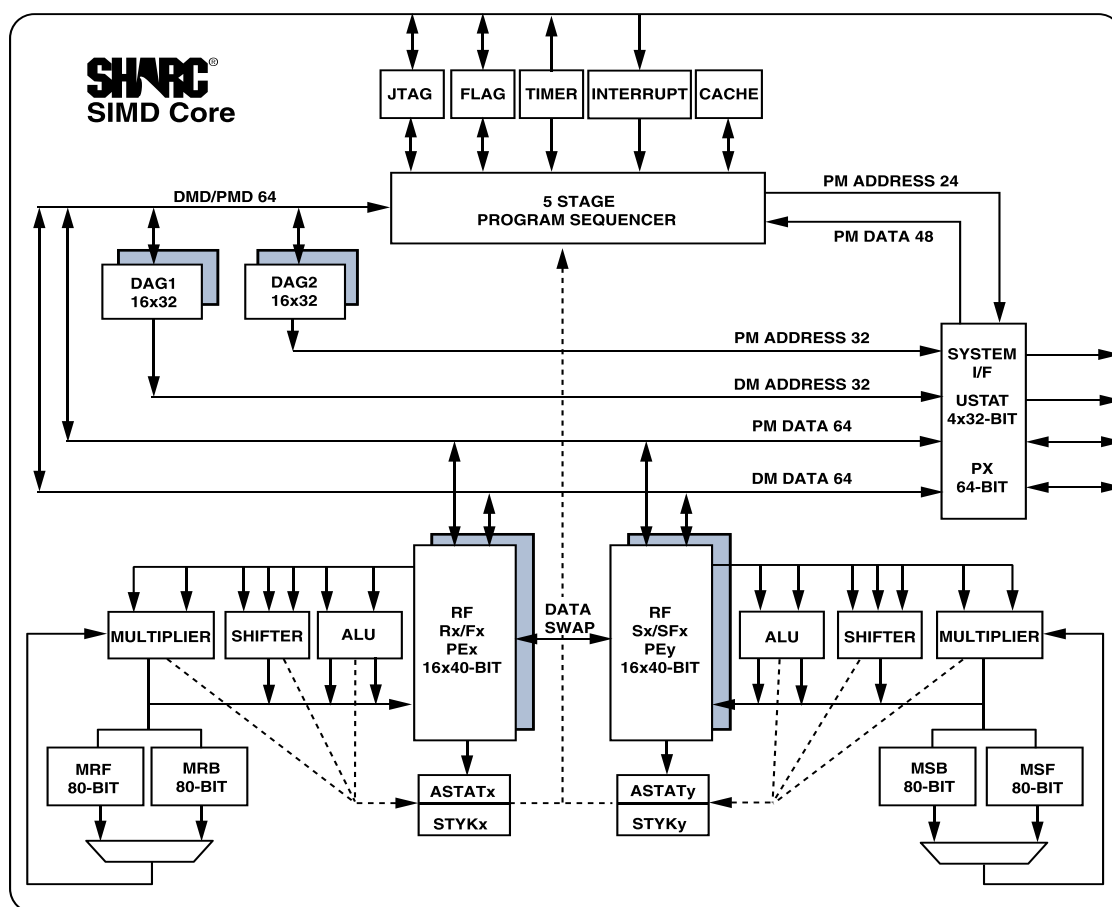


图2. SHARC内核框图

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

灵活的指令集

48位指令字支持各种并行操作，可实现简练编程。例如，处理器可以有条件地在两个处理元件中执行乘法、加法和减法，同时进行分支并从存储器获取最多4个32位数据值，所有这些只需一个指令。

可变指令集架构(VISA)

除了支持源自上一代SHARC处理器的标准48位指令以外，ADSP-2148x还支持新的16位和32位指令。此特性称为“可变指令集架构”(VISA)，48位指令中的冗余/无用位被删除，从而使代码更有效、更紧凑。程序序列器支持从内部和外部SDRAM存储器获取这些16位和32位指令。此支持未扩展到异步存储器接口(AMI)。为使代码生成工具能够产生更高效的操作码，源模块需要利用VISA选项构建。

片内存储器

ADSP-21483和ADSP-21488处理器包含3 Mb的内部RAM(表3)，ADSP-21486、ADSP-21487和ADSP-21489处理器包含5 Mb的内部RAM(表4)。每个存储器模块均支持内核处理器和I/O处理器的单周期独立访问。

处理器的SRAM可以配置为最多160k字的32位数据、320k字的16位数据、106.7k字的48位指令(或40位数据)或不同大小字的组合，只要不超过5 Mb。所有存储器都可以通过16位、32位、48位或64位字访问。支持16位浮点存储格式，片内可存储的数据量得以加倍。32位浮点与16位浮点之间的转换通过单指令执行。虽然每个存储器模块都可以存储代码和数据的组合，但如果让一个模块存储数据，利用DM总线进行传输，让另一个模块存储指令和数据，利用PM总线进行传输，则存取效率最高。

表3. 内部存储器空间(3 Mb—ADSP-21483/ADSP-21488)¹

IOP寄存器0x0000 0000–0x0003 FFFF			
长字(64位)	扩展精度普通字或指令字(48位)	普通字(32位)	短字(16位)
模块0 ROM(保留) 0x0004 0000–0x0004 7FFF	模块0 ROM(保留) 0x0008 0000–0x0008 AAA9	模块0 ROM(保留) 0x0008 0000–0x0008 FFFF	模块0 ROM(保留) 0x0010 0000–0x0011 FFFF
保留 0x0004 8000–0x0004 8FFF	保留 0x0008 AAAA–0x0008 BFFF	保留 0x0009 0000–0x0009 1FFF	保留 0x0012 0000–0x0012 3FFF
模块0 SRAM 0x0004 9000–0x0004 CFFF	模块0 SRAM 0x0008 C000–0x0009 1554	模块0 SRAM 0x0009 2000–0x0009 9FFF	模块0 SRAM 0x0012 4000–0x0013 3FFF
保留 0x0004 D000–0x0004 FFFF	保留 0x0009 1555–0x0009 FFFF	保留 0x0009 A000–0x0009 FFFF	保留 0x0013 4000–0x0013 FFFF
模块1 ROM(保留) 0x0005 0000–0x0005 7FFF	模块1 ROM(保留) 0x000A 0000–0x000A AAA9	模块1 ROM(保留) 0x000A 0000–0x000A FFFF	模块1 ROM(保留) 0x0014 0000–0x0015 FFFF
保留 0x0005 8000–0x0005 8FFF	保留 0x000A AAAA–0x000A BFFF	保留 0x000B 0000–0x000B 1FFF	保留 0x0016 0000–0x0016 3FFF
模块1 SRAM 0x0005 9000–0x0005 CFFF	模块1 SRAM 0x000A C000–0x000B 1554	模块1 SRAM 0x000B 2000–0x000B 9FFF	模块1 SRAM 0x0016 4000–0x0017 3FFF
保留 0x0005 D000–0x0005 FFFF	保留 0x000B 1555–0x000B FFFF	保留 0x000B A000–0x000B FFFF	保留 0x0017 4000–0x0017 FFFF
模块2 SRAM 0x0006 0000–0x0006 1FFF	模块2 SRAM 0x000C 0000–0x000C 2AA9	模块2 SRAM 0x000C 0000–0x000C 3FFF	模块2 SRAM 0x0018 0000–0x0018 7FFF
保留 0x0006 2000–0x0006 FFFF	保留 0x000C 2AAA–0x000D FFFF	保留 0x000C 4000–0x000D FFFF	保留 0x0018 8000–0x001B FFFF
模块3 SRAM 0x0007 0000–0x0007 1FFF	模块3 SRAM 0x000E 0000–0x000E 2AA9	模块3 SRAM 0x000E 0000–0x000E 3FFF	模块3 SRAM 0x001C 0000–0x001C 7FFF
保留 0x0007 2000–0x0007 FFFF	保留 0x000E 2AAA–0x000F FFFF	保留 0x000E 4000–0x000F FFFF	保留 0x001C 8000–0x001F FFFF

¹某些ADSP-2148x处理器包括一个客户可定义ROM模块。这些型号的ROM地址不是像本表所示被保留。欲了解更多信息，请与当地ADI销售代表联系。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表4. 内部存储器空间(5 Mb—ADSP-21486/ADSP-21487/ADSP-21489)¹

IOP寄存器0x0000 0000–0x0003 FFFF			
长字(64位)	扩展精度普通字或指令字(48位)	普通字(32位)	短字(16位)
模块0 ROM(保留) 0x0004 0000–0x0004 7FFF	模块0 ROM(保留) 0x0008 0000–0x0008 AAA9	模块0 ROM(保留) 0x0008 0000–0x0008 FFFF	模块0 ROM(保留) 0x0010 0000–0x0011 FFFF
保留 0x0004 8000–0x0004 8FFF	保留 0x0008 AAAA–0x0008 BFFF	保留 0x0009 0000–0x0009 1FFF	保留 0x0012 0000–0x0012 3FFF
模块0 SRAM 0x0004 9000–0x0004 EFFF	模块0 SRAM 0x0008 C000–0x0009 3FFF	模块0 SRAM 0x0009 2000–0x0009 DFFF	模块0 SRAM 0x0012 4000–0x0013 BFFF
保留 0x0004 F000–0x0004 FFFF	保留 0x0009 4000–0x0009 FFFF	保留 0x0009 E000–0x0009 FFFF	保留 0x0013 C000–0x0013 FFFF
模块1 ROM(保留) 0x0005 0000–0x0005 7FFF	模块1 ROM(保留) 0x000A 0000–0x000A AAA9	模块1 ROM(保留) 0x000A 0000–0x000A FFFF	模块1 ROM(保留) 0x0014 0000–0x0015 FFFF
保留 0x0005 8000–0x0005 8FFF	保留 0x000A AAAA–0x000A BFFF	保留 0x000B 0000–0x000B 1FFF	保留 0x0016 0000–0x0016 3FFF
模块1 SRAM 0x0005 9000–0x0005 EFFF	模块1 SRAM 0x000A C000–0x000B 3FFF	模块1 SRAM 0x000B 2000–0x000B DFFF	模块1 SRAM 0x0016 4000–0x0017 BFFF
保留 0x0005 F000–0x0005 FFFF	保留 0x000B 4000–0x000B FFFF	保留 0x000B E000–0x000B FFFF	保留 0x0017 C000–0x0017 FFFF
模块2 SRAM 0x0006 0000–0x0006 3FFF	模块2 SRAM 0x000C 0000–0x000C 5554	模块2 SRAM 0x000C 0000–0x000C 7FFF	模块2 SRAM 0x0018 0000–0x0018 FFFF
保留 0x0006 4000–0x0006 FFFF	保留 0x000C 5555–0x000D FFFF	保留 0x000C 8000–0x000D FFFF	保留 0x0019 0000–0x001B FFFF
模块3 SRAM 0x0007 0000–0x0007 3FFF	模块3 SRAM 0x000E 0000–0x000E 5554	模块3 SRAM 0x000E 0000–0x000E 7FFF	模块3 SRAM 0x001C 0000–0x001C FFFF
保留 0x0007 4000–0x0007 FFFF	保留 0x000E 5555–0x000F FFFF	保留 0x000E 8000–0x000F FFFF	保留 0x001D 0000–0x001F FFFF

¹ 某些ADSP-2148x处理器包括一个客户可定义ROM模块，它不是像本表所示被保留。欲了解更多信息，请与当地ADI销售代表联系。

使用DM总线和PM总线，一条总线专用于一个存储器模块，就可以保证单周期执行两个数据传输。这种情况下，指令必须通过缓存提供。

表3和表4给出了处理器的内部存储器地址空间。48位空间部分说明对于一个获取48位存储器的指令来说，此地址范围是什么样子。32位部分说明对于一个获取32位存储器的指令来说，此地址范围是什么样子。

基于ROM的安全性

ADSP-2148x具有ROM安全特性，通过硬件保证用户软件代码安全，防止未经授权读取内部代码。使用此特性时，处理器启动时不会加载任何外部代码，而是完全从内部ROM执行。此外，处理器不能自由地通过JTAG端口进行访问。相反，每位客户都会获得一个唯一的64位密钥，必须通过JTAG或测试访问端口扫描该密钥后才能访问。器件会无视错误的密钥。扫描到正确的密钥后可以使用仿真特性。

片内存储器带宽

内部存储器架构允许程序对四个模块中的任意模块同时进行4次访问(假定不存在模块冲突)。总带宽利用DMD/PMD总线(2×64位、CCLK速度)和IOD0/1总线(2×32位、PCLK速度)实现。

系列外设架构

ADSP-2148x系列包含丰富的外设集，支持类型广泛的应用，包括高质量音频、医疗成像、通信、军用、测试设备、三维图形、语音识别、电机控制、成像和其它应用。

外部存储器

外部端口接口支持通过内核和DMA访问存取外部存储器。外部存储器地址空间分为四个模块，任何模块都可以设置为异步或同步存储器。外部端口由下列模块组成。

- 异步存储器接口，用于与符合标准异步SRAM访问协议的SRAM、FLASH和其它器件通信。AMI支持模块0中的6M字外部存储器和模块1、模块2、模块3中的8M字外部存储器。
- SDRAM控制器，支持与任何标准SDRAM无缝接口。SDC支持模块0中的62M字外部存储器和模块1、模块2、模块3中的64M字外部存储器。注意：ADSP-21486无此特性。
- 仲裁逻辑，用于协调内部和外部存储器通过外部端口的内核DMA传输。

非SDRAM外部存储器地址空间参见表5。

表5. 非SDRAM地址的外部存储器

模块	大小 (字)	地址范围
模块 0	6M	0x0020 0000–0x007F FFFF
模块 1	8M	0x0400 0000–0x047F FFFF
模块 2	8M	0x0800 0000–0x087F FFFF
模块 3	8M	0x0C00 0000–0x0C7F FFFF

外部端口

外部端口提供器件与各种工业标准存储器设备的高性能无缝接口。通过使用独立的内部存储控制器，外部端口(176引脚LQFP封装提供)可以与同步和/或异步存储器设备接口。第一个是SDRAM控制器，用于连接工业标准同步DRAM器件，第二个是异步存储控制器，用于连接各种存储器件。4个存储器选择引脚最多支持4个独立的器件共存，同步和异步类型器件可以任意组合。

异步存储控制器

异步存储控制器提供一个可配置接口，最多支持4个独立的存储器模块或I/O器件。每个模块可以采用不同的时序参数独立编程，可以连接类型广泛的存储器件，包括SRAM、Flash、EPROM以及能与标准存储器控制线接口的I/O器件。在处理器的地址空间中，模块0占用6M字窗口，模块1、2、3占用8M字窗口，但如果未全部填充，存储控制器逻辑不会将这些窗口配置为彼此相邻。

SDRAM控制器

SDRAM控制器提供的接口最多支持4个由工业标准SDRAM器件构成的独立模块，速度最高可达 f_{SDCLK} 。每个模块完全兼容SDRAM标准，拥有自己的存储器选择线($\overline{MS0}$ – $\overline{MS3}$)，并且可以配置为包含4MB到256MB的存储器。

SDRAM外部存储器地址空间参见表6。注意：ADSP-21486无此特性。

表6. SDRAM地址的外部存储器

模块	大小 (字)	地址范围
模块0	62M	0x0020 0000–0x03FF FFFF
模块1	64M	0x0400 0000–0x07FF FFFF
模块2	64M	0x0800 0000–0x0BFF FFFF
模块3	64M	0x0C00 0000–0x0FFF FFFF

可以利用一组可编程时序参数来配置SDRAM模块以猴子吃慢速存储器件。注意，SDRAM和AMI接口不支持32位宽器件。

SDRAM控制器地址、数据、时钟和控制引脚可以驱动最高30 pF(分布)的负载。对于较大存储器系统，应选择SDRAM控制器外部缓冲器时序，并提供外部缓冲，使得SDRAM控制器引脚上的负载不超过30 pF。

注意，所示的外部存储器模块地址是针对普通字(32位)访问。如果同一外部存储器模块中既有48位指令，又有32位数据，则映射时必须小心，避免重叠。

对外部存储器的SIMD访问

处理器的SDRAM控制器支持通过64位EPD(外部端口数据总线)进行SIMD访问，允许访问PEy单元普通字空间(NW)中的补充寄存器。这样，当数据在外部SDRAM存储器时，无需显式访问补充寄存器。

对外部存储器的VISA和ISA访问

ADSP-2148x处理器的SDRAM控制器支持VISA代码操作，可降低存储器负载，应为VISA指令是压缩式。此外，总线获取也得以减少，因为在最佳情况下，一个48位获取操作包含3个有效指令。它同时支持利用传统ISA操作执行代码。注意，无论VISA还是ISA，它仅支持从模块0执行代码。表7给出了各种模式下指令获取的地址范围。

表7. 外部模块0指令获取

访问类型	大小 (字)	地址范围
ISA (NW)	4M	0x0020 0000–0x005F FFFF
VISA (SW)	10M	0x0060 0000–0x00FF FFFF

脉冲宽度调制

PWM模块是一个灵活且可编程的PWM波形发生器，用来产生所需的开关信号，以便支持电机和引擎控制、音频功率控制相关的各种应用。PWM发生器可以产生中心对齐或边沿对齐的PWM波形。此外，它可以在两路成对输出上产生互补信号，或在非成对输出上产生独立信号(适用于由四个PWM波形组成的一组)。

整个PWM模块具有四组PWM输出，总共可产生16路PWM输出。每个PWM组在四路PWM输出上产生两对PWM信号。

在产生中心对齐PWM波形的同时，PWM发生器可以在两种不同模式下工作：单次更新模式或二次更新模式。在单次更新模式下，每个PWM周期只能设置一次占空比值，其结果是产生相对于PWM周期中点对称的PWM波形。在二次更新模式下，可以在PWM周期的中点再次更新PWM寄存器。这种模式可以产生一个不对称的PWM波形，从而降低三相PWM逆变器的谐波失真。

PWM信号可以映射到外部端口地址线或DPI引脚。

MediaLB

ADSP-2148x处理器的汽车应用型号具有一个MLB接口，通过该接口，处理器可以用作媒体本地总线器件。它支持3引脚和5引脚媒体本地总线协议。速度最高可达1024 FS (49.25 Mbps, FS = 48.1 kHz)，最多支持31个逻辑通道，每个媒体本地总线帧最多包含124字节的数据。汽车应用型号的列表请参阅[第65页的汽车应用级产品](#)。

数字应用接口(DAI)

通过数字应用接口(DAI)，各种外设可以连接到任意DAI引脚(DAI_P20-1)。程序利用信号路由单元(SRU)实现这些连接。

SRU是一个矩阵路由单元(或一组多路复用器)，支持DAI提供的外设在软件控制下互连。因此，与非可配置信号路径支持的算法集相比，它可以使用更大的算法集，使得更广泛的应用可以轻松使用DAI相关外设。

DAI包括8个串行端口、4个精密时钟发生器(PCG)、1个S/PDIF收发器、4个ASRC和1个输入数据端口(IDP)。IDP为SHARC内核提供额外的输入路径，可配置为8通道的串行数据或单个20位宽同步并行数据采集端口。每个数据通道都有自己的DMA通道，它独立于处理器的串行端口。

串行端口(SPORT)

ADSP-2148x具有8个同步串行端口，通过这些端口，处理器可以低成本地连接到各种数字和混合信号外设，如ADI

公司的AD183x系列音频编码器、ADC和DAC。这些串行端口由2条数据线、1条时钟线和1条帧同步线组成。数据线可以编程为发送或接收数据，各数据线有一个专用DMA通道。

所有8个SPORT均使能时，最多可以支持16个发送或16个接收DMA音频数据通道，或者支持每帧128信道的4个全双工TDM流。

串行端口数据可以通过专用DMA通道自动写入和读取片内存储器/外部存储器。每个串行端口都可以与另一个串行端口合作以提供TDM支持。一个SPORT提供两个发送信号，另一个SPORT提供两个接收信号。帧同步和时钟共享。

串行端口有五种工作模式：

- 标准串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式

S/PDIF兼容数字音频接收器/发送器

S/PDIF接收器/发送器没有独立的DMA通道。它以串行格式接收音频数据，并将其转换为双相编码信号。接收器/发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。

S/PDIF接收器/发送器的串行数据、时钟和帧同步输入通过信号路由单元(SRU)路由，其来源包括SPORT、外部引脚、精密时钟发生器(PCG)等，并受SRU控制寄存器的控制。

异步采样速率转换器(SRC)

异步采样速率转换器包含4个SRC模块，具有与192 kHz立体声异步采样速率转换器AD1896相同的内核，SNR高达128 dB。SRC模块用于在独立的立体声通道上执行同步或异步采样速率转换，不占用内部处理器资源。4个SRC模块也可以配置为联合工作，实现无相位失配的多通道音频数据转换。最后，SRC可以用来清除音频数据中S/PDIF接收器等抖动时钟源的影响。

输入数据端口

IDP最多提供8个串行输入通道，各通道均有自己的时钟、帧同步和数据输入。8个通道自动复用到一个32位乘8深的FIFO。数据始终格式化为64位帧，且被分为两个32位字。串行协议设计用于接收I²S、左对齐采样对或右对齐模式的音频通道。

IDP 还提供一个并行数据采集端口(PDAP)，它可用于接收并行数据。PDAP 端口有一个始终输入和一个保持输入。PDAP 的数据可以从 DAI 引脚或外部端口引脚接收。PDAP 支持最多 20 位数据，并支持四种不同的包装模式来接收输入数据。

精密时钟发生器

精密始终发生器(PCG)由 4 个单元组成，每个单元均能从一个时钟输入信号产生一对信号(时钟和帧同步)。单元 A、B、C、D 功能完全相同，彼此独立工作。各单元产生的两个信号一般用作串行位时钟/帧同步对。

PCG A 和 B 的输出可以通过 DAI 引脚路由，PCG C 和 D 的输出可以驱动到 DAI 和 DPI 引脚。

数字外设接口(DPI)

ADSP-2148x SHARC 处理器具有一个数字外设接口，通过它可以连接到 2 个串行外设接口端口(SPI)、1 个通用异步接收器-发送器(UART)、12 个标志、1 个双线式接口(TWI)、3 个 PWM 模块(PWM3-1)和 2 个通用定时器。

串行外设(兼容)接口(SPI)

SPI 是工业标志同步串行链路，支持 SPI 兼容端口与其它 SPI 兼容器件通信。SPI 由两个数据引脚组成，一个是器件选择引脚，一个是时钟引脚。它是一个全双工同步串行接口，支持主器件和从器件模式。SPI 端口可以在多主器件环境下工作，最多可以与 4 个其它 SPI 兼容器件接口；既可作为主器件，也可用作从器件。SPI 兼容外设实现还提供可编程的波特率和时钟相位/极性。SPI 兼容端口利用开漏驱动器来支持多主器件配置，避免数据竞争。

UART 端口

处理器提供一个全双工通用异步接收器/发送器(UART)端口，它与 PC 标准 UART 完全兼容。UART 端口提供一个简化的 UART 接口用于连接其它外设或主机，支持全双工、DMA、异步串行数据传输。UART 使用 9 位地址检测，具有多处理器通信能力。因此，它可以用在符合 RS-485 数据接口标准的多分支网络中。UART 端口还支持 5 到 8 个数据位、1 或 2 个停止位以及无/偶/奇校验。UART 端口支持两种工作模式：

- PIO(编程 I/O)——处理器通过写入或读取 I/O 映射 UART 寄存器来发送或接收数据。发送和接收数据均为双缓冲。

- DMA(直接存储器访问)——DMA 控制器传输发送和接收数据。这可以减少存储器数据传输所需的中断数量和频率。UART 具有两个专用 DMA 通道，一个用于发送，一个用于接收。由于服务速率相对较低，这些 DMA 通道的优先级低于大多数其它 DMA 通道。

定时器

ADSP-2148x 总共有 3 个定时器：一个可产生周期性软件中断的内核定时器，以及两个可产生周期性中断的通用定时器。两个通用定时器可以各自独立设置为以下三种工作模式之一：

- 脉冲波形产生模式
- 脉冲宽度计数/捕捉模式
- 外部事件看门狗模式

内核定时器可以利用 FLAG3 作为定时器到期信号，通用定时器具有一个双向引脚和四个寄存器来实现其工作模式：一个 6 位配置寄存器、一个 32 位计数寄存器、一个 32 位周期寄存器和一个 32 位脉冲宽度寄存器。通用定时器由一个控制和状态寄存器使能或禁用。

双线式接口(TWI)

TWI 是一种双向双线串行总线，用于移动 8 位数据，同时保持与 I²C 总线协议的合规性。TWI 主器件集成了下列特性：

- 7 位寻址
- 在多器件系统上，主器件和从器件可以同时工作，并支持多主器件数据仲裁
- 数字滤波和定时事件处理
- 100 kbps 和 400 kbps 数据速率
- 低中断速率

I/O 处理器特性

I/O 处理器提供多达 65 通道的 DMA 以及丰富的外设集。

DMA 控制器

处理器的片内 DMA 控制器支持在无处理器干预的情况下进行数据传输。DMA 控制器独立工作，对处理器内核是不可见的，在执行 DMA 操作的同时，内核可以执行程序指令。DMA 传输可以发生在 ADSP-2148x 内部存储器与其串行端口、SPI(串行外设接口)兼容端口、IDP(输入数据端口)、PDAP 或 UART 之间。DMA 通道摘要如表 8 所示。

程序可以利用 DMA 传输下载到 ADSP-2148x。其它 DMA 特性包括：DMA 传输完成时产生中断，以及用于自动链接 DMA 传输的 DMA 链。

表8. DMA通道

外设	DMA通道
SPORTs	16
IDP/PDAP	8
SPI	2
UART	2
外部端口	2
加速器	2
存储器到存储器	2
MLB ¹	31

¹ 仅限汽车应用型号。

延迟线DMA

处理器提供延迟线DMA功能。利用该功能，处理器读取和写入外部延迟线缓冲器(从而存取外部存储器)时，只需与内核发生非常有限的交互。

分散/聚焦DMA

处理器提供分散/聚焦DMA功能，它允许处理器DMA读取/写入非连续的存储器模块。

FFT加速器

FFT加速器实现基2复数/实数输入、复数输出FFT，无需内核干预。FFT加速器以外设时钟频率工作。

FIR加速器

FIR(有限脉冲响应)加速器由一个1024字系数存储器、一个用于数据的1024字深延迟线和四个MAC单元组成。一个控制器管理该加速器。FIR加速器以外设时钟频率工作。

IIR加速器

IIR(无限脉冲响应)加速器由一个用于存储双二阶系数的1440字系数存储器、一个用于存储中间数据的数据存储器和一个MAC单元组成。一个控制器管理该加速器。IIR加速器以外设时钟频率工作。

看门狗定时器

看门狗定时器用于监控系统软件的稳定性。如此使用时，软件定期重载看门狗定时器，使得下载计数定时器永远不过期。到期定时器则指示系统软件可能失控。

该32位看门狗定时器可用来实现软件看门狗功能。软件看门狗可以提高系统可靠性，如果定时器在软件重载之前超时，它将通过产生系统复位，迫使处理器进入已知状态。软件初始化定时器的计数值，然后使能定时器。看门狗定时器会同时复位内核和内部外设。注意，此特性仅适用于176引脚封装。

系统设计

以下部分介绍系统设计选项和电源问题。

程序引导

系统上电时，ADSP-2148x的内部存储器从一个8位EPROM(通过外部端口)、SPI主器件或SPI从器件引导。引导由引导配置(BOOT_CFG2-0)引脚决定，如表9(针对176引脚封装)和表10(针对100引脚封装)所示。

表9. 引导模式选择(176引脚封装)

BOOT_CFG2-0	引导模式
000	SPI从器件引导
001	SPI主器件引导
010	AMI用户引导(8位Flash引导)
011	无引导(复位后处理器从内部ROM执行)
1xx	保留

表10. 引导模式选择(100引脚封装)

BOOT_CFG1-0	引导模式
00	SPI从器件引导
01	SPI主器件引导
10	保留
11	无引导(复位后处理器从内部ROM执行)

“运行复位”特性允许用户复位处理器内核外设，但不复位PLL和SDRAM控制器或执行引导。RESETOUT/RUNRSTIN引脚的功能现已扩展，也可用作启动运行复位的输入。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。

电源

处理器的内部(V_{DD_INT})和外部(V_{DD_EXT})电源具有单独的电源连接。内部电源必须满足 V_{DD_INT} 要求。外部电源必须满足 V_{DD_EXT} 要求。所有外部电源引脚必须连接到同一电源。

为降低噪声耦合，对于 V_{DD_INT} 和GND，PCB应使用一对并行的电源和接地层。

目标板JTAG仿真器连接器

仿真期间，ADI公司DSP工具JTAG仿真器产品线采用ADSP-2148x处理器的IEEE 1149.1 JTAG测试访问端口来监控和控制目标板处理器。ADI公司DSP工具JTAG仿真器产品线以处理器最高速度提供仿真，允许检查和更改存储器、寄存器及处理器堆栈。处理器的JTAG接口确保仿真器不会影响目标系统的加载或时序。

有关ADI公司SHARC DSP工具JTAG仿真器产品线的详细信息，请参阅相应仿真器硬件的用户指南。

开发工具

有一整套CROSSCORE®软件和硬件开发工具支持ADSP-2148x处理器，包括ADI公司仿真器和VisualDSP++®开发环境。支持其它SHARC处理器的仿真器硬件也完全能仿真ADSP-2148x处理器。

EZ-KIT Lite评估板

若要评估处理器，请使用ADI公司开发的EZ-KIT Lite®评估板。该板内置仿真功能，并支持软件开发。同时提供多种子板。

设计一个兼容仿真器的DSP板(目标)

ADI公司的系列仿真器是每位DSP开发工程师测试和调试软硬件系统的得力工具。ADI公司在每个JTAG DSP上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。处理器的JTAG接口支持非介入式在线仿真，确保仿真器不会影响目标系统的加载或时序。仿真器使用TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，DSP系统便能以全速运行，对系统时序无影响。

要使用这些仿真器，目标板必须用一个插头将处理器的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅EE-68：“ADI公司JTAG仿真技术参考”(请在ADI公司网站www.analog.com上搜索“EE-68”)。该文件定期更新，以便与仿真器支持的最新改进保持同步。

评估套件

ADI公司提供一系列高性价比的EZ-KIT Lite评估平台，通过这些平台，用户可以详细了解ADI处理器、平台和软件工具的开发或原型设计应用。每款EZ-KIT Lite均包括一个评估板以及VisualDSP++开发与调试环境的评估套件，其中含有C/C++编译器、汇编器和链接器。此外还包括应用程序示例、电源和USB电缆。软件工具的所有评估版本只能配合EZ-KIT Lite产品使用。

EZ-KIT Lite评估板上的USB控制器用于将评估板连接到用户PC的USB端口，使得VisualDSP++仿真套件能够在线仿真板上处理器。用户可以下载、执行、调试EZ-KIT Lite系统

的程序。此外还可以对板上Flash器件进行在线编程，以便存储专用引导代码，使得评估板可以用作独立单元，无需连接到PC。

如果安装完整版本的VisualDSP++(另售)，工程师就可以开发用于EZ-KIT Lite或任何定制系统的软件。将ADI公司的一款JTAG仿真器连接到EZ-KIT Lite评估板，可以实现高速非介入式仿真。

其它信息

此数据手册对ADSP-2148x的架构和功能进行了一般说明。有关ADSP-2148x系列内核架构和指令集的详细信息，请参阅《SHARC处理器编程参考》。

相关信号链

“信号链”指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息，请参阅ADI公司网站上[术语表](#)的“信号链”词条。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。ADI公司网站www.analog.com提供了一款工具，用于显示特定应用与相关器件之间的关系。

实验室电路Circuits from the Lab™网站(<http://www.analog.com/circuits>)提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

引脚功能描述

表11. 引脚描述

名称	类型	复位期间/之后的状态	描述
ADDR ₂₃₋₀	I/O/T (ipu)	高阻态/ 变为低电平(引导)	外部地址。 处理器通过这些引脚输出外部存储器和外设的地址。ADDR引脚可以复用以支持外部存储器接口地址、FLAGS ₁₅₋₈ (I/O)和PWM (O)。复位之后, 所有ADDR引脚处于外部存储器接口模式, FLAG(0-3)引脚处于FLAGS模式(默认)。在IDP_PDAP_CTL寄存器中配置时, IDP通道0扫描ADDR ₂₃₋₄ 引脚以获得并行输入数据。
DATA ₁₅₋₀	I/O/T (ipu)	高阻态	外部数据。 数据引脚可以复用以支持外部存储器接口数据(I/O)和FLAGS ₇₋₀ (I/O)。
AMI_ACK	I (ipu)		存储器应答。 外部器件可以解除置位AMI_ACK(低电平)以向外部存储器访问增加等待状态。AMI_ACK由I/O器件、存储控制器或其它外设使用以推迟外部存储器访问的完成。
$\overline{MS}_{0-1}$	O/T (ipu)	高阻态	存储器选择线0-1。 这些线路置位(低电平)用作外部存储器相应模块的片选信号。 MS_{1-0} 线是解码的存储器地址线, 与其它地址线同时改变。无外部存储器访问时, MS_{1-0} 线无效; 但是, 当执行条件存储器访问指令时, 无论条件是否为真, 这些线路都会激活。 $MS1$ 引脚可以用于EPORT/FLASH引导模式。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。
$\overline{AMI_RD}$	O/T (ipu)	高阻态	AMI端口读取使能。 只要处理器从外部存储器读取一个字, $\overline{AMI_RD}$ 就会置位。
$\overline{AMI_WR}$	O/T (ipu)	高阻态	AMI端口写入使能。 只要处理器写入一个字到外部存储器, $\overline{AMI_WR}$ 就会置位。
FLAG0/ $\overline{IRQ0}$	I/O (ipu)	FLAG[0] 输入	FLAG0/中断请求0。
FLAG1/ $\overline{IRQ1}$	I/O (ipu)	FLAG[1] 输入	FLAG1/中断请求1。
FLAG2/ $\overline{IRQ2}/\overline{MS2}$	I/O (ipu)	FLAG[2] 输入	FLAG2/中断请求2/存储器选择2。
FLAG3/TMREXP/ $\overline{MS3}$	I/O (ipu)	FLAG[3] 输入	FLAG3/中断请求3/存储器选择3。

表11的“类型”栏中包括下列符号: **A** = 异步, **I** = 输入, **O** = 输出, **S** = 同步, **A/D** = 有源驱动, **O/D** = 开漏, **T** = 三态, **ipu** = 内部下拉电阻, **ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平, 应使用外部电阻。无法使能或禁用内部上拉/下拉电阻, 无法设置这些电阻的值。内部上拉电阻的范围为26k-63k Ω 。内部下拉电阻的范围为31k-85k Ω 。内部上拉焊盘的三态电压不会达到 V_{DD_EXT} 最高电平; 典型条件下, 该电压在2.3 V到2.7 V范围内。本表中, 除热二极管引脚外, 所有其它引脚均为LVTTTL兼容型。

表11. 引脚描述(续)

名称	类型	复位期间/之后的状态	描述
$\overline{\text{SDRAS}}$	O/T (ipu)	高阻态/ 变为高电平	SDRAM行地址选通。 连接到SDRAM的RAS引脚。与其它SDRAM命令引脚一起定义SDRAM要执行的操作。
$\overline{\text{SDCAS}}$	O/T (ipu)	高阻态/ 变为高电平	SDRAM列地址选择。 连接到SDRAM的CAS引脚。与其它SDRAM命令引脚一起定义SDRAM要执行的操作。
$\overline{\text{SDWE}}$	O/T (ipu)	高阻态/ 变为高电平	SDRAM写入使能。 连接到SDRAM的WE或W缓冲器引脚。与其它SDRAM命令引脚一起定义SDRAM要执行的操作。
SDCKE	O/T (ipu)	高阻态/ 变为高电平	SDRAM时钟使能。 连接到SDRAM的CKE引脚。使能和禁用CLK信号。详情参见SDRAM器件的数据手册。
SDA10	O/T (ipu)	高阻态/ 变为高电平	SDRAM A10引脚。 在非SDRAM访问的同时，使能应用刷新SDRAM。此引脚仅在SDRAM访问期间取代DSP的ADDR10引脚。
SDDQM	O/T (ipu)	高阻态/ 变为高电平	DQM数据屏蔽。 写访问的SDRAM输入屏蔽信号和读访问的输出屏蔽信号。在写周期中，如果DQM采样为高电平，则屏蔽输入数据。在读周期中，如果DQM采样为高电平，则SDRAM输出缓冲器被置于高阻态。复位解除置位后，SDDQM变为高电平，直到SDRAM初始化完成，然后它变为低电平，不管有无SDRAM访问发生。
SDCLK	O/T (ipd)	高阻态/ 驱动	SDRAM时钟输出。 此引脚的时钟驱动器不同于所有其它时钟驱动器。参见第54页的图41。对于100引脚封装型号，应将SDCTL寄存器的DSDCTL位设为1以禁用SDRAM接口，避免不必要的电源切换。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》
DAI_P20-1	I/O/T (ipu)	高阻态	数字应用接口。 这些引脚提供DAI SRU的物理接口。DAI SRU配置寄存器定义连接到该引脚及其输出使能的片内音频中心外设输入或输出的组合。然后，这些外设的配置寄存器就可以确定该引脚的确切行为。DAI SRU中存在的任何输入或输出信号都可以路由至其中的任意引脚。 数字外设接口。 这些引脚提供DPI SRU的物理接口。DPI SRU配置寄存器定义连接到该引脚及其输出使能的片内外设输入或输出的组合。然后，这些外设的配置寄存器就可以确定该引脚的确切行为。DPI SRU中存在的任何输入或输出信号都可以路由至其中的任意引脚。
DPI_P14-1	I/O/T (ipu)	高阻态	
WDT_CLKIN	I		看门狗定时器时钟输入。 不使用时，应将此引脚拉低。 看门狗谐振器焊盘输出。 看门狗定时器复位输出。
WDT_CLKO	O		
$\overline{\text{WDRSTO}}$	O (ipu)		
THD_P	I		热二极管阳极。 不用时，此引脚可悬空。 热二极管阴极。 不用时，此引脚可悬空。
THD_M	O		

表11的“类型”栏中包括下列符号：**A** = 异步，**I** = 输入，**O** = 输出，**S** = 同步，**A/D** = 有源驱动，**O/D** = 开漏，**T** = 三态，**ipd** = 内部下拉电阻，**ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平，应使用外部电阻。无法使能或禁用内部上拉/下拉电阻，无法设置这些电阻的值。内部上拉电阻的范围为26k–63k Ω 。内部下拉电阻的范围为31k–85k Ω 。内部上拉焊盘的三态电压不会达到 V_{DD_EXT} 最高电平；典型条件下，该电压在2.3 V到2.7 V范围内。本表中，除热二极管引脚外，所有其它引脚均为LVTTTL兼容型。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表11. 引脚描述(续)

名称	类型	复位期间 /之后的 状态	描述
MLBCLK ¹	I	高阻态	媒体局部总线时钟。 此时钟由MLB控制器产生，与MOST网络同步，为整个MLB接口(49.152 MHz，FS=48 kHz)提供时序。不使用MLB控制器时，此引脚应接地。
MLBDAT ¹	I/O/T(3引脚模式)。 I(5引脚模式)。		媒体局部总线数据。 MLBDAT线由MLB发送器件驱动，并由所有其它MLB器件接收，包括MLB控制器。MLBDAT线承载实际的数据。在5引脚MLB模式下，此引脚仅为输入。不使用MLB控制器时，此引脚应接地。
MLBSIG ¹	I/O/T(3引脚模式)。 I(5引脚模式)。		媒体局部总线信号。 这是一个多路复用信号，承载MLB控制器产生的通道/地址，以及来自MLB器件的命令和接收状态字节。在5引脚模式下，此引脚仅为输入。不使用MLB控制器时，此引脚应接地。
MLBDO ¹	O/T		媒体局部总线数据输出(5引脚模式)。 此引脚仅用于5引脚MLB模式。在5引脚模式下，它用作输出数据。不使用MLB控制器时，此引脚应接地。
MLBSO ¹	O/T		媒体局部总线信号输出(5引脚模式)。 此引脚仅用于5引脚MLB模式。在5引脚模式下，它用作输出信号。不使用MLB控制器时，此引脚应接地。
TDI	I (ipu)	高阻态	测试数据输入(JTAG)。 为边界扫描逻辑提供串行数据。
TDO	O/T		测试数据输出(JTAG)。 边界扫描路径的串行扫描输出。
TMS	I (ipu)		测试模式选择(JTAG)。 用于控制测试状态机。
TCK	I		测试时钟(JTAG)。 为JTAG边界扫描提供时钟。为使器件正常工作，上电后TCK必须置位(变为低电平)或保持低电平。
$\overline{\text{TRST}}$	I (ipu)		测试复位(JTAG)。 复位测试状态机。为使处理器正常工作，上电后 $\overline{\text{TRST}}$ 必须置位(变为低电平)或保持低电平。
$\overline{\text{EMU}}$	O (O/D, ipu)		仿真状态。 只能连接到ADSP-2148x Analog Devices DSP工具JTAG仿真器目标板产品线。

表11的“类型”栏中包括下列符号：**A** = 异步，**I** = 输入，**O** = 输出，**S** = 同步，**A/D** = 有源驱动，**O/D** = 开漏，**T** = 三态，**ipd** = 内部下拉电阻，**ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平，应使用外部电阻。无法使能或禁用内部上拉/下拉电阻，无法设置这些电阻的值。内部上拉电阻的范围为26k–63k Ω 。内部下拉电阻的范围为31k–85k Ω 。内部上拉焊盘的三态电压不会达到 V_{DD_EXT} 最高电平；典型条件下，该电压在2.3 V到2.7 V范围内。

本表中，除热二极管引脚外，所有其它引脚均为LVTTTL兼容型。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表11. 引脚描述(续)

名称	类型	复位期间 /之后的 状态	描述
CLK_CFG ₁₋₀	I		内核与CLKIN比率控制。 这些引脚设置启动时钟频率。 注意，内核退出复位状态后，可以随时设置PMCTL寄存器中的PLL倍频器和分频器以更改工作频率。允许值如下： 00 = 8:1 01 = 32:1 10 = 16:1 11 = 保留
CLKIN	I		本地时钟输入。 与XTAL一起使用。CLKIN为时钟输入。它配置处理器以使用内部时钟发生器或外部时钟源。将必要的元件连接到CLKIN和XTAL可使能内部时钟发生器。将外部时钟连接到CLKIN，同时不连接XTAL，可将处理器配置为使用外部时钟源，如外部时钟振荡器。CLKIN不得中止、更改或在额定频率以下工作。
XTAL	O		晶振端子。 与CLKIN一起使用以驱动外部晶振。
RESET	I		处理器复位。 将处理器复位至已知状态。解除置位后会延迟4096 CLKIN周期以便PLL锁定。经过此时间后，内核开始从硬件复位矢量地址执行程序。RESET输入在上电时必须置位(低电平)。
RESETOUT/ RUNRSTIN	I/O (ipu)		复位输出/运行输入复位。 此引脚的默认设置为复位输出。此引脚还有一个功能，即用作RUNRSTIN，将RUNRSTCTL寄存器的位0置1可使能该功能。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。
BOOT_CFG ₂₋₀	I		引导配置选择。 这些引脚选择处理器的引导模式(见表9)。BOOT_CFG引脚必须在RESET(硬件和软件)置位之前有效。

表11的“类型”栏中包括下列符号：**A** = 异步，**I** = 输入，**O** = 输出，**S** = 同步，**A/D** = 有源驱动，**O/D** = 开漏，**T** = 三态，**ipd** = 内部下拉电阻，**ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平，应使用外部电阻。无法使能或禁用内部上拉/下拉电阻，无法设置这些电阻的值。内部上拉电阻的范围为26k–63k Ω。内部下拉电阻的范围为31k–85k Ω。内部上拉焊盘的三态电压不会达到V_{DD_EXT}最高电平；典型条件下，该电压在2.3 V到2.7 V范围内。本表中，除热二极管引脚外，所有其它引脚均为LVTTTL兼容型。

¹仅汽车应用型号提供MLB引脚。

表12. 引脚列表，电源和地

名称	类型	描述
V _{DD_INT}	P	内部电源
V _{DD_EXT}	P	I/O电源
GND ¹	G	地
V _{DD_THD}	P	热二极管电源。 不用时，此引脚可悬空。

¹裸露焊盘须电连接和热连接到GND。为此，应将裸露焊盘焊接到大小与之相同的GND PCB焊盘。GND PCB焊盘应可靠地连接到PCB中的GND层，以实现最佳的电性能和热性能。封装未提供单独的GND引脚。

技术规格

工作条件

参数 ¹	描述	300 MHz			350 MHz			400 MHz			单位
		最小值	标称值	最大值	最小值	标称值	最大值	最小值	标称值	最大值	
V _{DD_INT}	内部(内核)电源电压	1.05	1.1	1.15	1.05	1.1	1.15	1.05	1.1	1.15	V
V _{DD_EXT}	外部(I/O)电源电压	3.13		3.47	3.13		3.47	3.13		3.47	V
V _{DD_THD}	热二极管电源电压	3.13		3.47	3.13		3.47	3.13		3.47	V
V _{IH} ²	高电平输入电压 (V _{DD_EXT} = 最大值时)	2.0		3.6	2.0		3.6	2.0		3.6	V
V _{IL} ⁴	低电平输入电压 (V _{DD_EXT} = 最小值时)	-0.3		0.8	-0.3		0.8	-0.3		0.8	V
V _{IH_CLKIN} ³	高电平输入电压 (V _{DD_EXT} = 最大值时)	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	2.2		V _{DD_EXT}	V
V _{IL_CLKIN}	低电平输入电压 (V _{DD_EXT} = 最小值时)	-0.3		+0.8	-0.3		+0.8	-0.3		+0.8	V
T _J	结温100引脚 LQFP_EP (T _{AMBIENT} 0°C至+70°C)	0		110	0		110	0		110	°C
T _J	结温100引脚 LQFP_EP (T _{AMBIENT} -40°C至+85°C)	-40		125	-40		125	-40		125	°C
T _J	结温176引脚 LQFP_EP (T _{AMBIENT} 0°C至+70°C)	0		110	0		110	0		110	°C
T _J	结温176引脚 LQFP_EP (T _{AMBIENT} -40°C至+85°C)	-40		125	-40		125	-40		125	°C

¹规格如有变更恕不另行通知。

²适用于输入和双向引脚: ADDR23-0, DATA15-0, FLAG3-0, DAI_Px, DPI_Px, BOOT_CFGx, CLK_CFGx, RUNRSTIN, RESET, TCK, TMS, TDI, TRST, AML_ACK, MLBCLK, MLBDAT, MLBSIG.

³适用于输入引脚CLKIN、WDT_CLKIN。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

电气特性

参数 ¹	描述	测试条件	300 MHz		350 MHz		400 MHz		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
V_{OH}^2	高电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OH} = -1.0 \text{ mA}^3$	2.4		2.4		2.4		V
V_{OL}^2	低电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OL} = 1.0 \text{ mA}^3$		0.4		0.4		0.4	V
$I_{IH}^{4,5}$	高电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT}$ 最大值		10		10		10	μA
I_{IL}^4	低电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		10		10		10	μA
I_{ILPU}^5	低电平输入电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		200		200		200	μA
$I_{OZH}^{6,7}$	三态漏电流	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT}$ 最大值		10		10		10	μA
I_{OZL}^6	三态漏电流	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		10		10		10	μA
I_{OZLPU}^7	三态漏电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		200		200		200	μA
I_{OZHPD}^8	三态漏电流下拉	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT}$ 最大值		200		200		200	μA
$I_{DD_INTYP}^{9,10}$	电源电流 (内部)	$V_{DDINT} = 1.1 \text{ V}$, ASF = 1, $T_J = 25^\circ\text{C}$		410		450		500	mA
$C_{IN}^{11,12}$	输入电容	$T_{CASE} = 25^\circ\text{C}$		5		5		5	pF

¹ 规格如有变更恕不另行通知。

² 适用于输出和双向引脚: ADDR23-0, DATA15-0, AMI_RD, AMI_WR, FLAG3-0, DAI_Px, DPI_Px, EMU, TDO, RESETOUT, MLBSIG, MLBDAT, MLBDO, MLBSO, SDRAS, SDCAS, SDWE, SDCKE, SDA10, SDDQM, MS0-1.

³ 有关典型驱动电流能力, 参见第54页的输出驱动电流。

⁴ 适用于输入引脚: BOOT_CFGx, CLK_CFGx, TCK, RESET, CLKIN.

⁵ 适用于含内部上拉电阻的输入引脚: TRST, TMS, TDI.

⁶ 适用于三态引脚: TDO.

⁷ 适用于含上拉电阻的三态引脚: DAI_Px, DPI_Px, EMU.

⁸ 适用于含下拉电阻的三态引脚: SDCLK.

⁹ 典型内部电流数据反映标称工作条件。

¹⁰ 更多信息参见工程师笔记“估算ADSP-214xx SHARC处理器功耗”(EE-348)。

¹¹ 适用于所有信号引脚。

¹² 保证符合要求, 但未经测试。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

总功耗

总功耗包括两个分量：

1. 内部功耗
2. 外部功耗

内部功耗也有两个分量：

1. 漏电流引起的静态功耗。表13显示了静态功耗(I_{DD_STATIC})与结温(T_J)和内核电压(V_{DD_INT})的关系。
2. 晶体管开关特性和处理器活动水平引起的动态功耗($I_{DD_DYNAMIC}$)。活动水平由“活动比例因子”(ASF)来衡量，它代表处理器内核上运行的应用程序代码，包括外设和外部端口的各种活动水平(表13)。动态功耗由具体应用乘以ASF来计算，使用基线动态功耗作为参考。

外部功耗是由外部引脚的开关活动引起。

ASF与CCLK频率和 V_{DD_INT} 相关数据(表14)共同来计算这一部分功耗。第二部分是由外设时钟(PCLK)域的晶体管开关引起的， I_{DD_INT} 规格方程式中已包括该部分。

表13. 活动比例因子(ASF)¹

活动	比例因子(ASF)
空闲	0.29
低	0.53
中低	0.61
中高	0.77
峰值典型(50:50) ²	0.85
峰值典型(60:40) ²	0.93
峰值典型(70:30) ²	1.00
高典型	1.16
高	1.25
峰值	1.31

¹ 有关ASF表特定的功耗矢量的更多信息，请参阅“估算ADSP-214xx SHARC处理器功耗”(EE-348)。

² 连续指令环路(内核)与SDRAM控制代码读写的比值。

表14. 静态电流— I_{DD_STATIC} (mA)¹

T_J (°C)	V_{DD_INT} (V)		
	1.05 V	1.10 V	1.15 V
–45	96	118	144
–35	103	126	154
–25	113	138	168
–15	127	155	187
–5	147	177	212
+5	171	206	245
+15	201	240	285
+25	237	280	331
+35	279	329	388
+45	331	389	455
+55	391	458	533
+65	464	539	626
+75	547	633	731
+85	645	746	860
+95	761	877	1007
+105	897	1026	1179
+115	1047	1198	1372
+125	1219	1397	1601

¹ 有效温度和电压范围取决于型号。参见第17页的工作条件。

表15. CCLK域的基线动态电流(mA, ASF = 1.0)^{1,2}

f_{CCLK} (MHz)	电压(V_{DD_INT})		
	1.05 V	1.10 V	1.15 V
100	84	88	92
150	126	133	139
200	165	174	183
250	207	217	229
300	246	260	273
350	286	302	318
400	326	344	361

¹ 这些值不是作为独立的最大值规格加以保证，必须与依据第18页的电气特性所示方程式计算的静态电流结合考虑。

² 有效频率和电压范围取决于型号。参见第17页的工作条件。

绝对最大额定值

超出表16所列值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表16. 绝对最大额定值

参数	额定值
内部(内核)电源电压(V _{DD_INT})	-0.3 V至+1.32 V
外部(I/O)电源电压(V _{DD_EXT})	-0.3 V至+3.6 V
热二极管电源电压(V _{DD_THD})	-0.3 V至+3.6 V
输入电压	-0.5 V至+3.6 V
输出电压摆幅	-0.5 V至 V _{DD_EXT} +0.5 V
存储温度范围	-65°C 至 +150°C
偏置时的结温	125°C

封装信息

图3所示的信息提供了ADSP-2148x处理器封装标识的详情。产品供货的完整列表请参阅第66页的订购指南。



图3. 典型封装标识

表17. 峰值标识信息¹

标识码	字段说明
t	温度范围
pp	封装类型
Z	RoHS合规选项
cc	参见订购指南
vvvvvv.x	组装批次代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

¹ 仅限非汽车应用型号。关于汽车应用型号的标识信息，请联系ADI公司。

ESD灵敏度



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

最大功耗

关于最大功耗的详细热和功耗信息，参见工程师笔记“估算ADSP-214xx SHARC处理器功耗”(EE-348)。关于封装热特性的信息，参见第55页的热特性。

时序规格

应严格遵守给出的时序要求。请勿通过加减其它参数来获得某些参数。虽然对于个别器件，加减计算可以获得有意义的结果，但本数据手册给出的值反映的是统计变化和最差情况。因此，将参数相加以获得更长的时间没有意义。电压基准电平参见测试条件下第54页的图43。

“开关特性”说明了处理器如何改变其信号。处理器外部的电路必须兼容这些信号特性。开关特性描述处理器在给定情况下如何工作。使用开关特性确保与处理器相连的器件的(如存储器等)所有时序要求都得到满足。

“时序要求”适用于受处理器外部电路控制的信号，如读操作的数据输入。时序要求保证处理器与其它器件一起正常工作。

内核时钟要求

处理器的内部时钟(CLKIN的倍数)为内部存储器、处理器内核和串行端口提供时钟信号。处理器内部时钟频率与外部(CLKIN)时钟频率的比值通过CLK_CFG1-0引脚配置，应在复位期间进行。

处理器内部时钟的开关频率高于系统输入时钟(CLKIN)。为产生内部时钟，处理器使用内部锁相环(PLL，见图4)。这种基于PLL的时序可将系统时钟(CLKIN)信号与处理器内部时钟之间的偏斜降至最低。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

电压控制振荡器(VCO)

应用设计中，所选的PLL倍频器值应使得VCO频率绝不会超过表20规定的 f_{VCO} 。

- 如果未使能输入分频器(INDIV = 0)，CLKIN与PLLM的乘积不得超过表20规定的 f_{VCO} (最大值)的1/2。
- 如果已使能输入分频器(INDIV = 1)，CLKIN与PLLM的乘积不得超过表20规定的 f_{VCO} (最大值)。

VCO频率计算如下：

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$
$$f_{CCLK} = (2 \times PLLM \times f_{INPUT}) \div PLLD$$

其中：

f_{VCO} = VCO输出

PLLM = PMCTL寄存器中设置的倍频器值。复位期间，PLLM值从CLK_CFG引脚选择的比值获得。

PLLD = 2、4、8或16，取决于PMCTL寄存器中设置的分频器值。复位期间，此值为2。

f_{INPUT} = PLL的输入频率。

$f_{INPUT} = CLKIN$ (输入分频器禁用时)，或者

$f_{INPUT} = CLKIN \div 2$ (输入分频器使能时)

注意时钟周期的定义，它是CLKIN和适当比例控制的函数，如表18所示。ADSP-2148x外设的所有时序规格均相对于 t_{PCLK} 而定义。关于各外设的时序信息，参见相关外设部分。

表18. 时钟周期

时序要求	描述
t_{CK}	CLKIN时钟周期
t_{CCLK}	处理器内核时钟周期
t_{PCLK}	外设时钟周期 = $2 \times t_{CCLK}$
t_{SDCLK}	SDRAM时钟周期 = $(t_{CCLK}) \times SDCKR$

图4显示了采用外部振荡器或晶体时内核与CLKIN的关系。阴影显示的分频器/倍频器模块表示此处的时钟比可以通过硬件或软件，利用电源管理控制寄存器(PMCTL)设置。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。

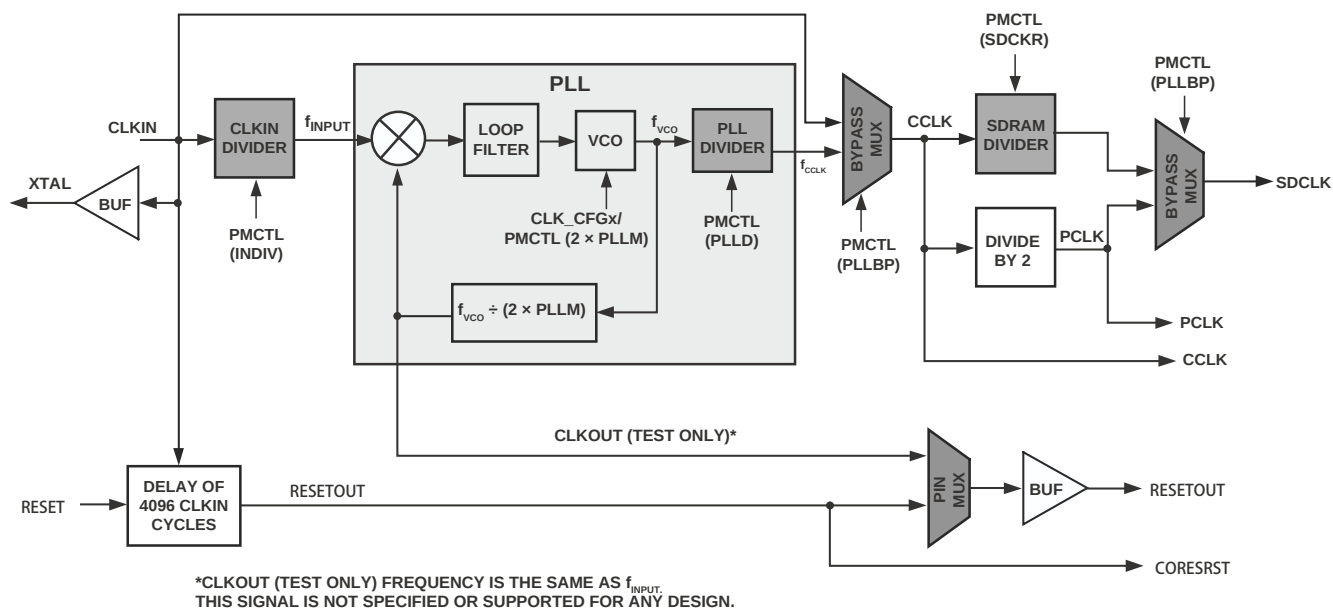


图4. 内核时钟和系统时钟与CLKIN的关系

上电时序控制

处理器启动的时序要求如表19所示。虽然 V_{DD_EXT} 与 V_{DD_INT} 之间没有特定上电时序要求，但系统设计应考虑以下几点。

- 不应让一个电源长时间处于上电状态(> 200 ms)，然后让另一电源开始斜坡上升。
- 如果 V_{DD_INT} 电源在 V_{DD_EXT} 电源之后上电，任何引脚(如 $\overline{RESETOUT}$ 和 $\overline{RESET}$ 等)实际上都可以暂时驱动，直至 V_{DD_INT} 轨完成上电。

电路板上共享这些信号的系统必须根据此特性确定是否有需要解决的问题。

注意，在上电期间，如果 V_{DD_INT} 电源在 V_{DD_EXT} 之后上电，则任何引脚上都可能观测到大小相当于三态漏电流(上拉/下拉)的漏电流，哪怕该引脚仅支持输入(例如 $\overline{RESET}$ 引脚)，直至 V_{DD_INT} 轨上电为止。

表19. 上电时序要求(处理器启动)

参数		最小值	最大值	单位
时序要求				
t_{RSTVDD}	$\overline{RESET}$ 低电平，然后 V_{DD_EXT} 或 V_{DD_INT} 开启	0		ms
$t_{IVDDEVDD}$	V_{DD_INT} 开启，然后 V_{DD_EXT} 开启	-200	+200	ms
t_{CLKVDD}^1	V_{DD_INT} 和 V_{DD_EXT} 有效，然后CLKIN有效	0	200	ms
t_{CLKRST}	CLKIN有效，然后 $\overline{RESET}$ 解除置位	10^2		μs
t_{PLLRST}	PLL控制建立，然后 $\overline{RESET}$ 解除置位	20^3		μs
开关特性				
$t_{CORERST}^{4, 5}$	$\overline{RESET}$ 解除置位，然后内核复位解除置位	$4096 \times t_{CK} + 2 \times t_{CCLK}$		

¹ 有效 V_{DD_INT} 和 V_{DD_EXT} 假定电源已完全上升至标称值(哪个电源先上电无关紧要)。根据电源子系统的设计不同，电压斜坡速率可能是数微秒到数百毫秒。

² 假定达到晶振最差情况启动时序要求后，CLKIN信号保持稳定。关于启动时间，请参见晶振制造商的数据手册。如果XTAL引脚和内部振荡器电路与外部晶振一起使用，假定振荡器最长启动时间为25 ms。

³ 基于CLKIN周期。

⁴ 上电序列完成之后应用。后续复位至少需要4个CLKIN周期才能使 $\overline{RESET}$ 保持低电平，从而正确初始化并恢复所有I/O引脚的默认状态。

⁵ 4096周期数依据表21的 t_{Srst} 规格而定。如果未满足建立时间要求，可以给内核复位时间增加一个CLKIN周期，使得最大周期数为4097。

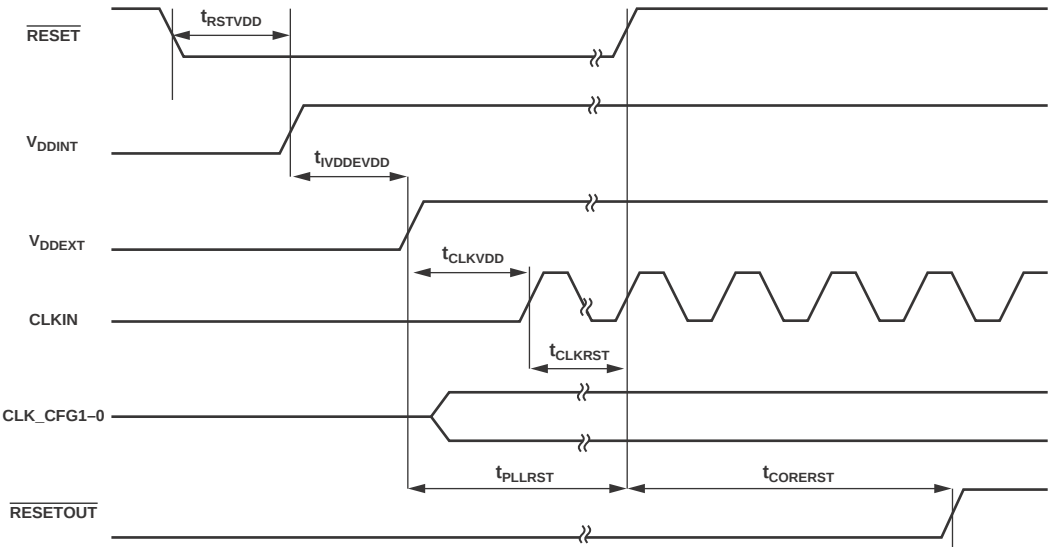


图5. 上电时序

时钟输入

表20. 时钟输入

参数		300 MHz		350 MHz		400 MHz		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
时序要求								
t _{CK}	CLKIN周期	26.66 ¹	100 ²	22.8 ¹	100 ²	20 ¹	100 ²	ns
t _{CKL}	CLKIN低电平宽度	13	45	11	45	10	45	ns
t _{CKH}	CLKIN高电平宽度	13	45	11	45	10	45	ns
t _{CKRF} ³	CLKIN上升/下降(0.4 V至2.0 V)		3		3		3	ns
t _{CCLK} ⁴	CCLK周期	3.33	10	2.85	10	2.5	10	ns
f _{VCO} ⁵	VCO频率	200	800	200	800	200	800	MHz
t _{CKJ} ^{6,7}	CLKIN抖动容差	-250	+250	-250	+250	-250	+250	ps

¹ 仅适用于CLK_CFG1-0 = 00且PMCTL的PLL控制位为默认值的情况。
² 仅适用于CLK_CFG1-0 = 01且PMCTL的PLL控制位为默认值的情况。
³ 通过仿真保证，但未在芯片上进行测试。
⁴ 对PMCTL寄存器PLL控制位的任何改变都必须满足内核时序规格 t_{CCLK} 。
⁵ VCO图参见第21页的图4。
⁶ 为进行精确时序分析，实际输入抖动应与交流规格一起考虑。
⁷ 抖动规格表示抖动的最大峰峰值时间间隔误差(TIE)。

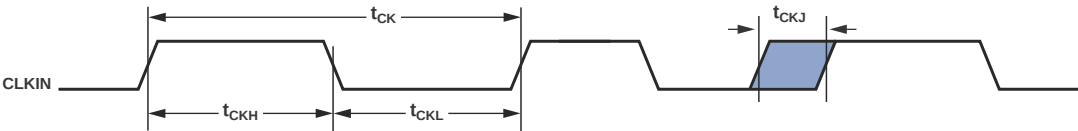


图6. 时钟输入

时钟信号

ADSP-2148x可以使用外部时钟或晶体。参见第13页表11的CLKIN引脚描述。将必要的器件连接到CLKIN和XTAL后，程序可以配置处理器使用内部时钟发生器。图7显示了用于以基频模式工作的晶体的元件连接。注意，时钟速

率是利用25 MHz晶体和PLL倍频器比16:1实现的(CCLK:CLKIN实现400 MHz的时钟速度)。要实现最高内核时钟速率，程序需配置PMCTL寄存器中的倍频器位。

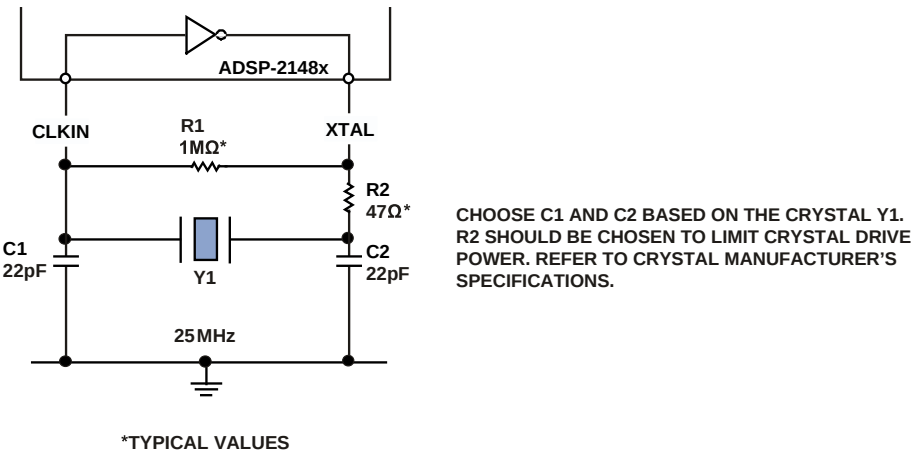


图7. 以基频模式工作的晶体的推荐电路

复位

表21. 复位

参数		最小值	最大值	单位
时序要求				
t_{WRST}^1	$\overline{RESET}$ 低电平脉冲宽度	$4 \times t_{CK}$		ns
t_{SRST}	$\overline{RESET}$ 建立，然后CLKIN变为低电平	8		ns

¹上电序列完成之后应用。上电时，在RESET为低电平的同时，处理器内部锁相环需要不超过100 μs的时间，假定V_{DD}和CLKIN保持稳定(不包括外部晶振的启动时间)。

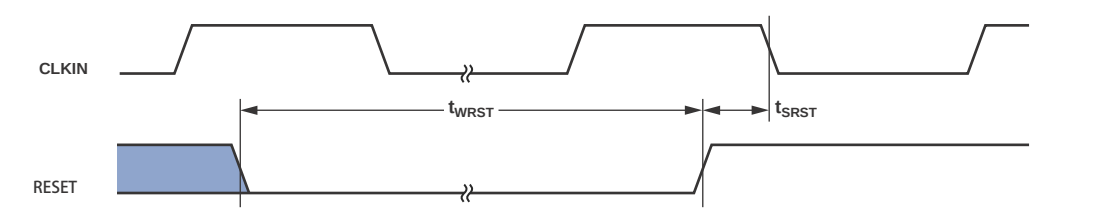


图8. 复位

运行复位

以下时序规格适用于配置为 $\overline{RUNRSTIN}$ 的 $\overline{RESETOUT}$ / $\overline{RUNRSTIN}$ 引脚。

表22. 运行复位

参数		最小值	最大值	单位
时序要求				
$t_{WRUNRST}$	运行 $\overline{RESET}$ 低电平脉冲宽度	$4 \times t_{CK}$		ns
$t_{SRUNRST}$	运行 $\overline{RESET}$ 建立，然后CLKIN变为高电平	8		ns

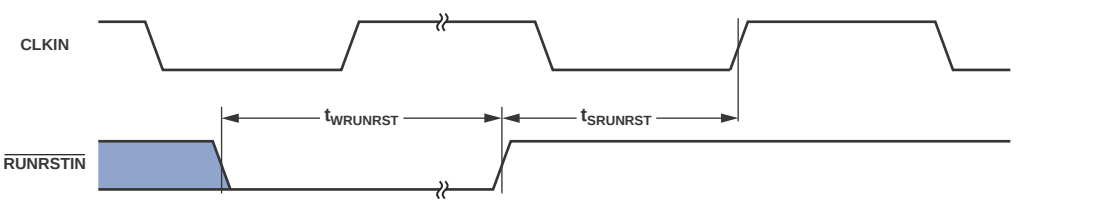


图9. 运行复位

中断

以下时序规格适用于配置为 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 中断的FLAG0、FLAG1和FLAG2引脚，以及配置为中断的DAI_P20-1和DPI_P14-1引脚。

表23. 中断

参数	最小值	最大值	单位
时序要求			
t_{IPW} $\overline{\text{IRQx}}$ 脉冲宽度	$2 \times t_{\text{pCLK}} + 2$		ns

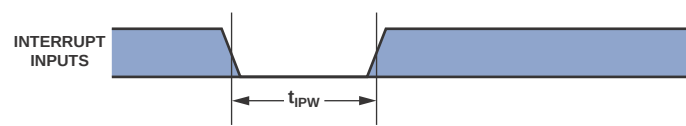


图10. 中断

内核定时器

以下时序规格适用于配置为内核定时器(TMREXP)的FLAG3引脚。

表24. 内核定时器

参数	最小值	最大值	单位
开关特性			
t_{WCTIM} TMREXP脉冲宽度	$4 \times t_{\text{pCLK}} - 1$		ns



图11. 内核定时器

定时器PWM_OUT周期时序

以下时序规格适用于PWM_OUT(脉冲宽度调制)模式下的timer0和timer1。定时器信号通过DPI SRU路由至DPI_P14-1引脚。因此，下面提供的时序规格在DPI_P14-1引脚上有效。

表25. 定时器PWM_OUT时序

参数	最小值	最大值	单位
开关特性			
tPWMO 定时器脉冲宽度输出	$2 \times t_{PCLK} - 1.2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

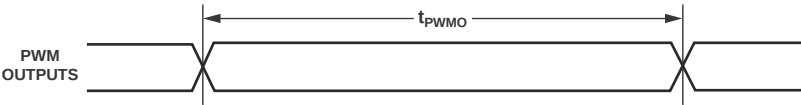


图12. 定时器PWM_OUT时序

定时器WDTH_CAP时序

以下时序规格适用于WDTH_CAP(脉冲宽度计数和捕捉)模式下的timer0和timer1。定时器信号通过SRU路由至DPI_P14-1引脚。因此，下面提供的时序规格在DPI_P14-1引脚上有效。

表26. 定时器宽度捕捉时序

参数	最小值	最大值	单位
时序要求			
tPWI 定时器脉冲宽度	$2 \times t_{PCLK}$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

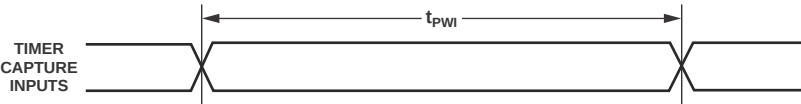


图13. 定时器宽度捕捉时序

看门狗定时器时序

表27. 看门狗定时器时序

参数	最小值	最大值	单位
时序要求			
$t_{WDCLKPER}$	100	1000	ns
开关特性			
t_{RST} WDT时钟上升沿至看门狗定时器 RESET下降沿	3	6.4	ns
t_{RSTPW} 复位脉冲宽度	$64 \times t_{WDCLKPER}$		ns

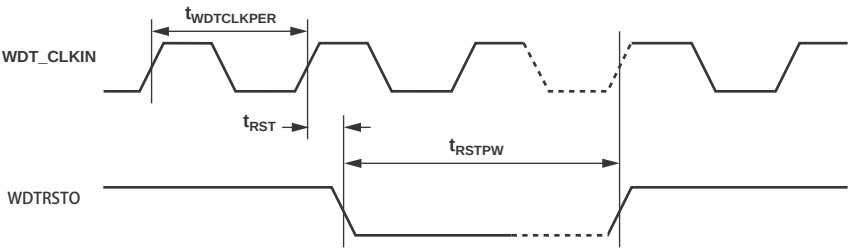


图14. 看门狗定时器时序

引脚到引脚直接路由(DAI和DPI)

仅限引脚直接连接(例如DAI_PB01_I到DAI_PB02_O)。

表28. DAI/DPI引脚到引脚路由

参数	最小值	最大值	单位
时序要求			
t_{DPIO} 延迟DAI/DPI引脚输入有效到DAI/DPI输出有效	1.5	12	ns

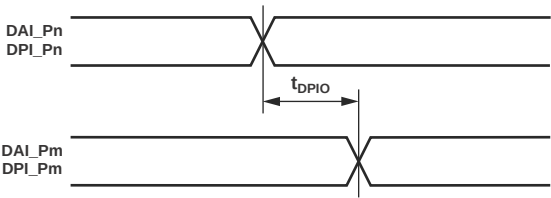


图15. DAI引脚到引脚直接路由

精密时钟发生器(引脚直接路由)

此时序仅在SRU配置如下时有效：精密时钟发生器(PCG)直接从DAI引脚(通过引脚缓冲器)获得输入，并将输出直接发送到DAI引脚。对于其它情况，如果PCG的输入和输出不是直接路由至/从DAI引脚(通过引脚缓冲器)，则无时序数据可用。所有时序参数和开关特性均适用于外部DAI引脚(DAI_P01 – DAI_P20)。

出不是直接路由至/从DAI引脚(通过引脚缓冲器)，则无时序数据可用。所有时序参数和开关特性均适用于外部DAI引脚(DAI_P01 – DAI_P20)。

表29. 精密时钟发生器(引脚直接路由)

参数		最小值	最大值	单位
时序要求				
t_{PCGIW}	输入时钟周期	$t_{PCLK} \times 4$		ns
t_{STRIG}	PCG输入时钟下降沿之前的PCG触发建立时间	4.5		ns
t_{HTRIG}	PCG输入时钟下降沿之后的PCG触发保持时间	3		ns
开关特性				
t_{DPCGIO}	PCG输入时钟之后的PCG输出时钟和帧同步有效沿延迟时间	2.5	10	ns
$t_{DTRIGCLK}$	PCG触发之后的PCG输出时钟延迟时间	$2.5 + (2.5 \times t_{PCGIP})$	$10 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$	PCG触发之后的PCG帧同步延迟时间	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$10 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1	输出时钟周期	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV，PH = FSxPHASE。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》的“精密时钟发生器”部分。

¹ 正常工作模式。

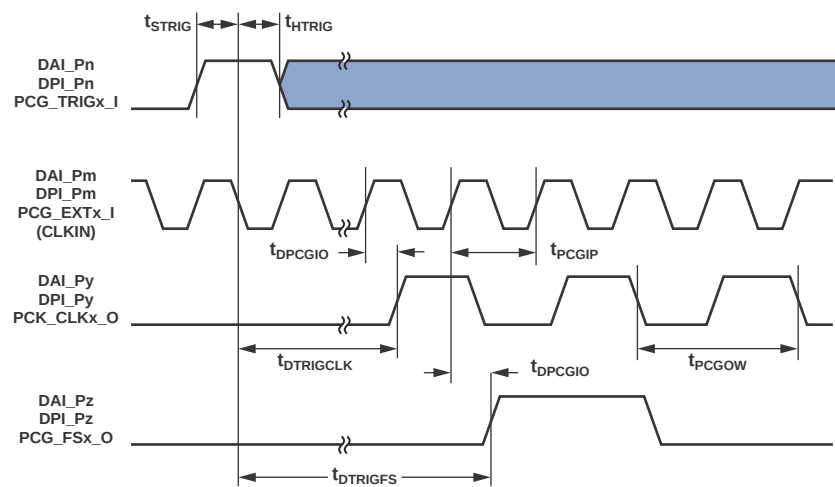


图16. 精密时钟发生器(引脚直接路由)

标志

以下提供的时序规格适用于配置为FLAGS的DPI_P14-1、ADDR7-0、ADDR23-8、DATA7-0和FLAG3-0引脚。有关标志使用的更多信息，参见第13页的表11。

表30. 标志

参数	最小值	最大值	单位
时序要求 t_{FIPW}^1 FLAG输入脉冲宽度	$2 \times t_{pCLK} + 3$		ns
开关特性 t_{FOPW}^1 FLAG输出脉冲宽度	$2 \times t_{pCLK} - 3$		ns

¹适用于标志连接到DPI_P14-1、ADDR7-0、ADDR23-8、DATA7-0和FLAG3-0引脚的情况。

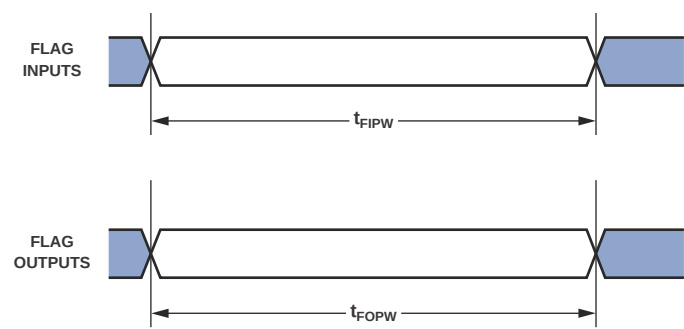


图17. 标志

SDRAM接口时序(166 MHz SDCLK)

表31. SDRAM接口时序

参数		最小值	最大值	单位
时序要求				
t_{SSDAT}	SDCLK之前DATA建立时间	0.7		ns
t_{HSDAT}	SDCLK之后DATA保持时间	1.23		ns
开关特性				
t_{SDCLK}^1	SDCLK周期	6		ns
t_{SDCLKH}	SDCLK高电平宽度	2.2		ns
t_{SDCLKL}	SDCLK低电平宽度	2.2		ns
t_{DCAD}^2	SDCLK之后命令、ADDR、数据延迟时间		4	ns
t_{HCAD}^2	SDCLK之后命令、ADDR、数据保持时间	1		ns
t_{DSDAT}	SDCLK之后数据禁用时间		5.3	ns
t_{ENSDAT}	SDCLK之后数据使能时间	0.3		ns

¹ 系统应使用速度等级高于所需SDRAM控制器速度的SDRAM型号。例如，要以166 MHz运行SDRAM控制器，应使用速度等级为183 MHz或更高的SDRAM型号。有关SDRAM接口硬件设计指南的更多信息，参见工程师笔记“SDRAM存储器与SHARC处理器接口”(EE-286)。

² 命令引脚包括：SDCAS, SDRAS, SDWE, MSx, SDA10, SDCKE。

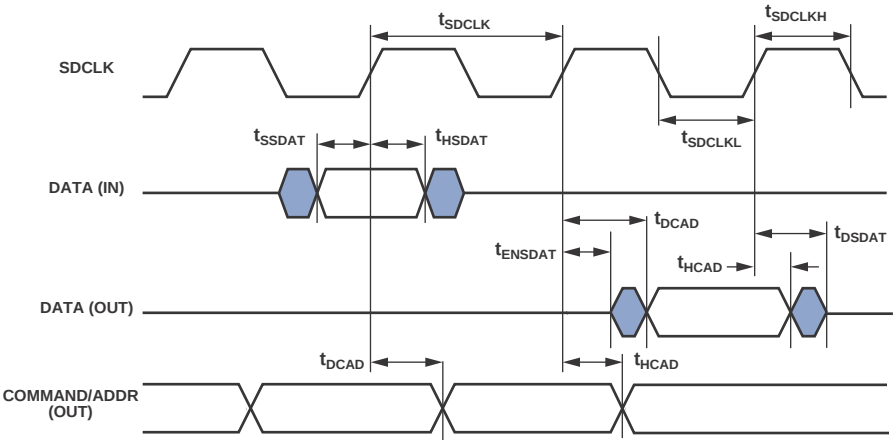


图18. SDRAM接口时序

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

AMI读取

与存储器异步接口时使用以下规格。注意，AMI_ACK、ADDR、DATA、 $\overline{\text{AMI_RD}}$ 、 $\overline{\text{AMI_WR}}$ 和选通时序参数仅适用于异步访问模式。

表32. AMI读取

参数		最小值	最大值	单位
时序要求				
$t_{\text{DAD}}^{1,2,3}$	地址选择延迟到数据有效		$W + t_{\text{SDCLK}} - 5.4$	ns
$t_{\text{DRLD}}^{1,3}$	$\overline{\text{AMI_RD}}$ 低电平到数据有效		$W - 3.2$	ns
t_{SDS}	数据建立到 $\overline{\text{AMI_RD}}$ 高电平	2.5		ns
$t_{\text{HDRH}}^{4,5}$	从 $\overline{\text{AMI_RD}}$ 高电平到数据保持	0		ns
$t_{\text{DAAK}}^{2,6}$	从地址选择到AMI_ACK延迟		$t_{\text{SDCLK}} - 9.5 + W$	ns
t_{DSAK}^4	从 $\overline{\text{AMI_RD}}$ 低电平到AMI_ACK延迟		$W - 7$	ns
开关特性				
t_{DRHA}	$\overline{\text{AMI_RD}}$ 高电平之后地址选择保持时间	$\text{RHC} + 0.20$		ns
t_{DARL}^2	地址选择到 $\overline{\text{AMI_RD}}$ 低电平	$t_{\text{SDCLK}} - 3.8$		ns
t_{RW}	$\overline{\text{AMI_RD}}$ 脉冲宽度	$W - 1.4$		ns
t_{RWR}	$\overline{\text{AMI_RD}}$ 高电平至 $\overline{\text{AMI_RD}}$ 低电平	$\text{HI} + t_{\text{SDCLK}} - 1$		ns

$W = (\text{AMICTLx寄存器指定的等待状态数}) \times t_{\text{SDCLK}}$

$\text{RHC} = (\text{AMICTLx寄存器指定的读取保持周期数}) \times t_{\text{SDCLK}}$

PREDIS = 0时

HI = RHC: 从同一模块的读到读

HI = RHC + IC: 从不同模块的读到读

HI = RHC + Max (IC, $(4 \times t_{\text{SDCLK}})$): 从相同或不同模块的读到写

PREDIS = 1时

HI = RHC + Max (IC, $(4 \times t_{\text{SDCLK}})$): 从相同或不同模块的读到写

HI = RHC + $(3 \times t_{\text{SDCLK}})$: 从同一模块的读到读

HI = RHC + Max (IC, $(3 \times t_{\text{SDCLK}})$): 从不同模块的读到读

IC = (AMICTLx寄存器指定的空闲周期数) $\times t_{\text{SDCLK}}$

H = (AMICTLx寄存器指定的保持周期数) $\times t_{\text{SDCLK}}$

¹数据延迟/建立: 系统必须满足 t_{DAD} 、 t_{DRLD} 或 t_{SDS} 要求。

²以 $\overline{\text{MSx}}$ 的下降沿为基准。

³ t_{DAD} 和 t_{DRLD} 参数的时序要求值的上限适用于AMI_ACK始终为高电平的情况。

⁴注意, AMI_ACK、ADDR、DATA、 $\overline{\text{AMI_RD}}$ 、 $\overline{\text{AMI_WR}}$ 和选通时序参数仅适用于异步访问模式。

⁵数据保持: 用户必须满足异步访问模式的 t_{HDRH} 要求。给定容性和直流负载时, 保持时间的计算参见第54页的测试条件。

⁶AMI_ACK延迟/建立: 用户必须满足 t_{DAAK} 或 t_{DSAK} 要求, 以使AMI_ACK解除置位(低电平)。

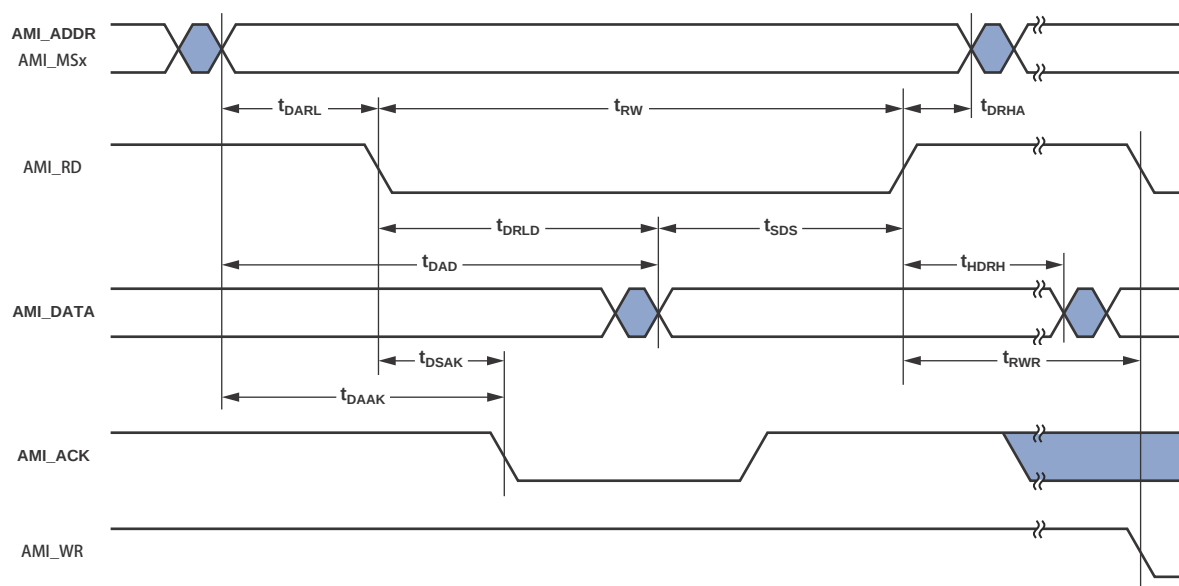


图19. AMI读取

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

AMI写入

与存储器异步接口时使用以下规格。注意，AMI_ACK、ADDR、DATA、 $\overline{\text{AMI_RD}}$ 、 $\overline{\text{AMI_WR}}$ 和选通时序参数仅适用于异步访问模式。

表33. AMI写入

参数		最小值	最大值	单位
时序要求				
$t_{\text{DAAK}}^{1,2}$	从地址选择到AMI_ACK延迟		$t_{\text{SDCLK}} - 9.7 + W$	ns
$t_{\text{DSAK}}^{1,3}$	从 $\overline{\text{AMI_WR}}$ 低电平到AMI_ACK延迟		$W - 6$	ns
开关特性				
t_{DAWH}^2	地址选择到 $\overline{\text{AMI_WR}}$ 解除置位	$t_{\text{SDCLK}} - 3.1 + W$		ns
t_{DAWL}^2	地址选择到 $\overline{\text{AMI_WR}}$ 低电平	$t_{\text{SDCLK}} - 3$		ns
t_{WW}	$\overline{\text{AMI_WR}}$ 脉冲宽度	$W - 1.3$		ns
t_{DDWH}	$\overline{\text{AMI_WR}}$ 高电平之前数据建立时间	$t_{\text{SDCLK}} - 3.7 + W$		ns
t_{DWHA}	$\overline{\text{AMI_WR}}$ 解除置位之后地址保持时间	$H + 0.15$		ns
t_{DWHD}	$\overline{\text{AMI_WR}}$ 解除置位之后数据保持时间	H		ns
t_{DATRWH}^4	$\overline{\text{AMI_WR}}$ 解除置位之后数据禁用时间	$t_{\text{SDCLK}} - 4.3 + H$	$t_{\text{SDCLK}} + 4.9 + H$	ns
t_{WWR}^5	$\overline{\text{AMI_WR}}$ 高电平至 $\overline{\text{AMI_WR}}$ 低电平	$t_{\text{SDCLK}} - 1.5 + H$		ns
t_{DDWR}	$\overline{\text{AMI_WR}}$ 低电平之前数据禁用时间	$2 \times t_{\text{SDCLK}} - 6$		ns
t_{WDE}	$\overline{\text{AMI_WR}}$ 低电平到数据使能	$t_{\text{SDCLK}} - 3.7$		ns

$W = (\text{AMICTLx寄存器指定的等待状态数}) \times t_{\text{SDCLK}}$

$H = (\text{AMICTLx寄存器指定的保持周期数}) \times t_{\text{SDCLK}}$

¹AMI_ACK延迟/建立：系统必须满足 t_{DAAK} 或 t_{DSAK} 要求，以使AMI_ACK解除置位(低电平)。

²以MSx的下降沿为基准。

³注意，AMI_ACK、AMI_RD、 $\overline{\text{AMI_WR}}$ 和选通时序参数仅适用于异步访问模式。

⁴给定容性和直流负载时，保持时间的计算参见第54页的测试条件。

⁵写到写： $t_{\text{SDCLK}} + H$ ，适用于相同模块和不同模块两种情况。写到读： $3 \times t_{\text{SDCLK}} + H$ ，适用于相同模块和不同模块两种情况。

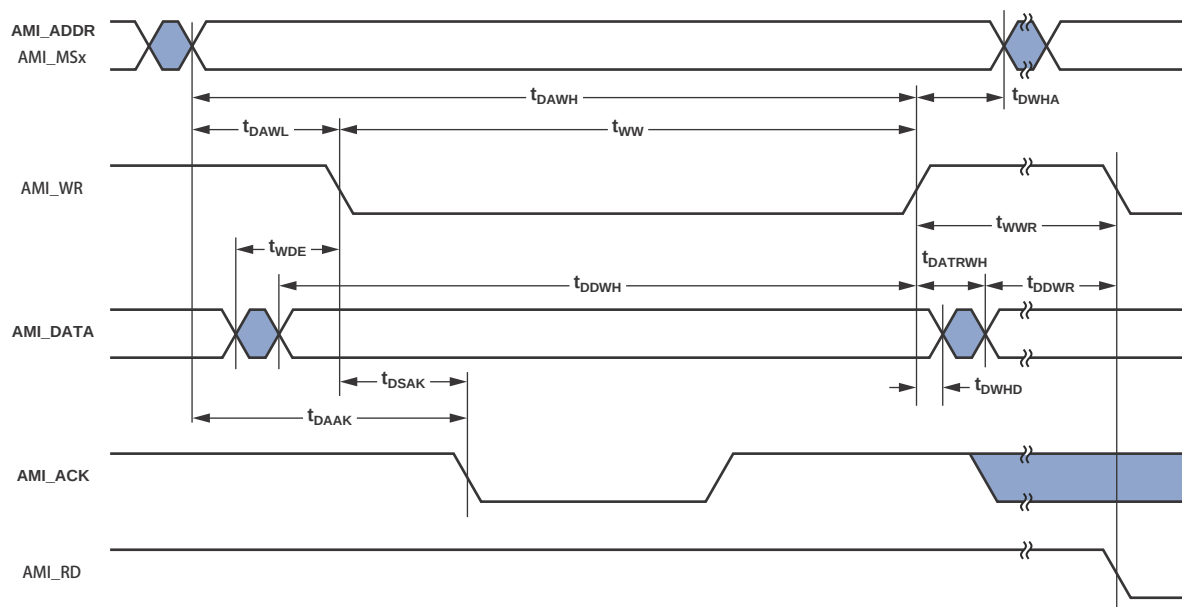


图20. AMI写入

串行端口

在从器件发送模式和主器件接收模式下，串行端口最大频率为 $f_{PCLK}/8$ 。在主器件发送模式和从器件接收模式下，串行端口最大时钟频率为 $f_{PCLK}/4$ 。为确定在时钟速度 n 时两个器件之间通信是否可行，必须确认以下规格：1) 帧同步延

迟和帧同步建立/保持；2) 数据延迟和数据建立/保持；3) SCLK宽度。

串行端口信号(SCLK、帧同步、数据通道A、数据通道B)通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。

表34. 串行端口—外部时钟

参数		最小值	最大值	单位
时序要求				
t_{SFSE}^1	SCLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{HFSE}^1	SCLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{SDRE}^1	接收SCLK之前接收数据建立时间	1.9		ns
t_{HDRE}^1	SCLK之后接收数据保持时间	2.5		ns
t_{SCLKW}	SCLK宽度	$(t_{PCLK} \times 4) \div 2 - 1.5$		ns
t_{SCLK}	SCLK周期	$t_{PCLK} \times 4$		ns
开关特性				
t_{DFSE}^2	SCLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步)		10.25	ns
t_{HOFSE}^2	SCLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步)	2		ns
t_{DDTE}^2	发送SCLK之后发送数据延迟时间		9	ns
t_{HDT}^2	发送SCLK之后发送数据保持时间	2		ns

¹以采样沿为基准。

²以驱动沿为基准。

表35. 串行端口—内部时钟

参数		最小值	最大值	单位
时序要求				
t_{SFSI}^1	SCLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步)	7		ns
t_{HFSI}^1	SCLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{SDRI}^1	SCLK之前接收数据建立时间	7		ns
t_{HDRI}^1	SCLK之后接收数据保持时间	2.5		ns
开关特性				
t_{DFSIR}^2	SCLK之后帧同步延迟时间(发送模式下内部产生的帧同步)		4	ns
t_{HOFSI}^2	SCLK之后帧同步保持时间(发送模式下内部产生的帧同步)	-1		ns
t_{DFSIR}^2	SCLK之后帧同步延迟时间(接收模式下内部产生的帧同步)		9.75	ns
t_{HOFSI}^2	SCLK之后帧同步保持时间(接收模式下内部产生的帧同步)	-1		ns
t_{DDTI}^2	SCLK之后发送数据延迟时间		3.25	ns
t_{HDTI}^2	SCLK之后发送数据保持时间	-2		ns
t_{SCLKIW}	发送或接收SCLK宽度	$2 \times t_{PCLK} - 1.5$	$2 \times t_{PCLK} + 1.5$	ns

¹以采样沿为基准。

²以驱动沿为基准。

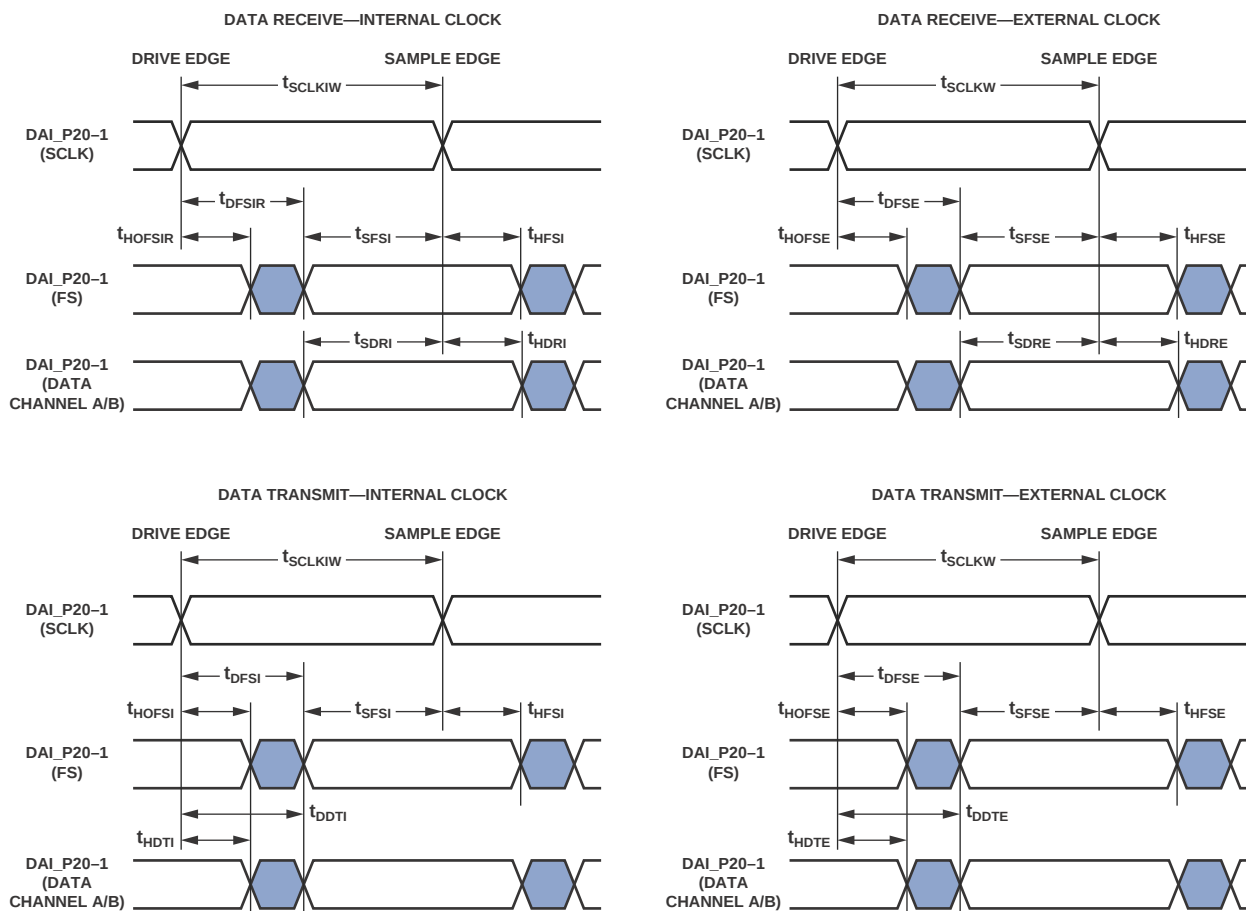


图21. 串行端口

表36. 串行端口—外部晚帧同步

参数	最小值	最大值	单位
开关特性			
$t_{DDTLFSE}^1$ 自晚外部发送帧同步或外部接收帧同步(MCE = 1、MFD = 0)起的数据延迟时间		8.5	ns
$t_{DDTENFS}^1$ 数据使能时间(MCE = 1、MFD = 0)	0.5		ns

¹ $t_{DDTLFSE}$ 和 $t_{DDTENFS}$ 参数适用于左对齐和DSP串行模式，而且MCE = 1、MFD = 0。

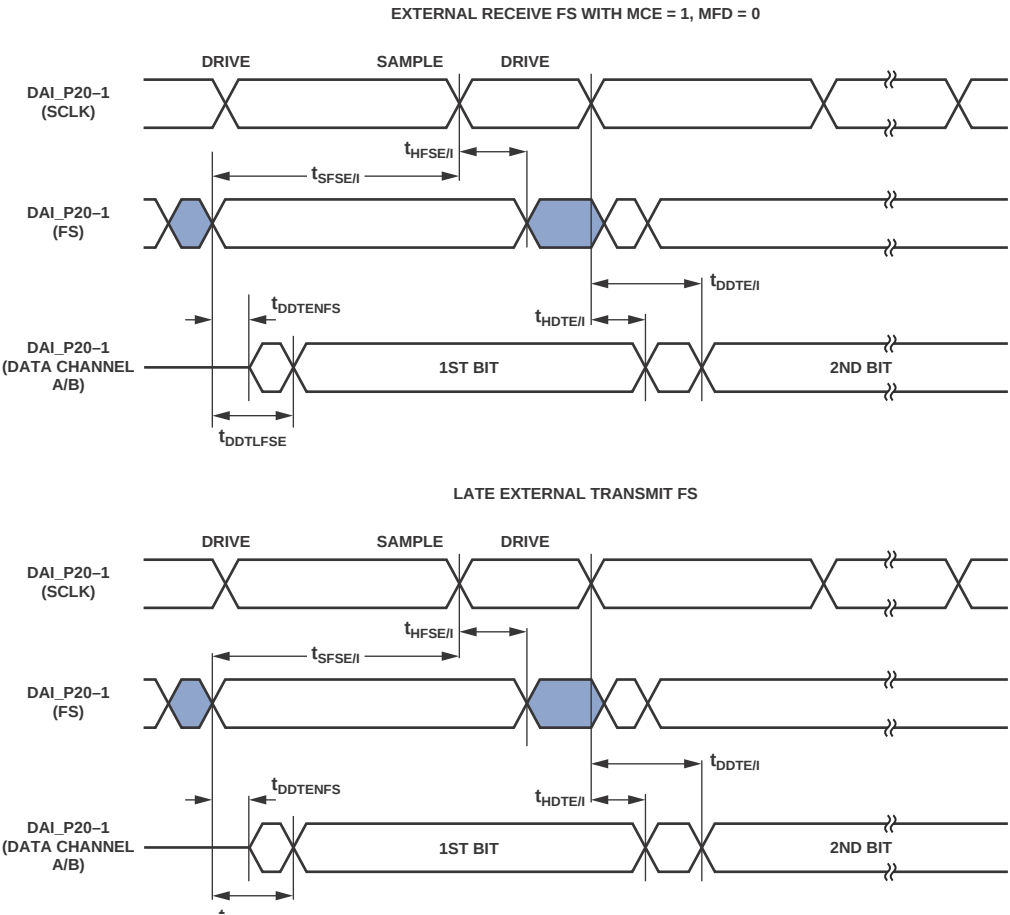


图22. 外部晚帧同步¹

¹此图反映了为支持左对齐模式所做的改变。

表37. 串行端口—使能和三态

参数		最小值	最大值	单位
开关特性				
t_{DDTEN}^1	自外部发送SCLK起的数据使能时间	2		ns
t_{DDTTE}^1	自外部发送SCLK起的数据禁用时间		11.5	ns
t_{DDTIN}^1	自内部发送SCLK起的数据使能时间	-1.5		ns

¹以驱动沿为基准。

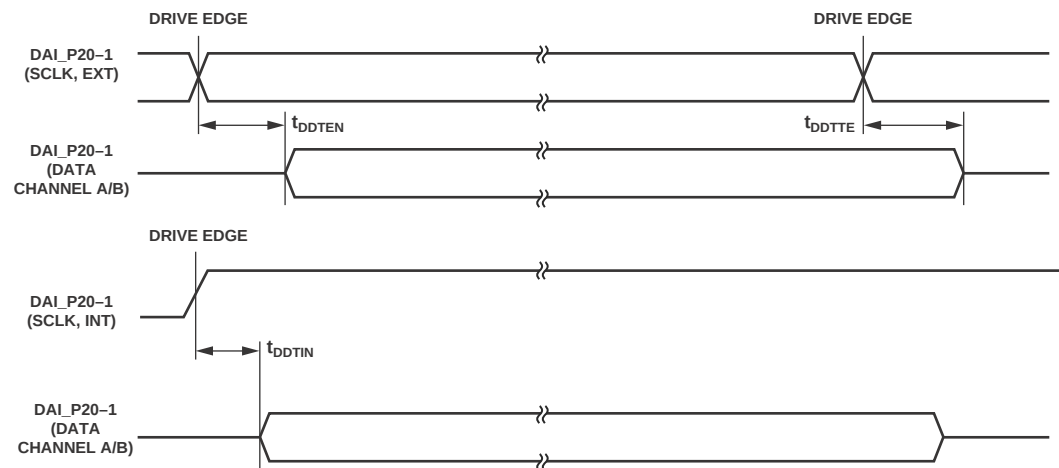


图23. 串行端口—使能和三态

SPORTx_TDV_O输出信号(路由单元)在SPORT多通道模式下有效。在发送时隙(通过活动通道选择寄存器使能), SPORTx_TDV_O置位以便与外部器件通信。

表38. 串行端口—TDV(发送数据有效)

参数		最小值	最大值	单位
开关特性 ¹				
tDRDVEN	自外部时钟驱动沿起的TDV置位延迟时间	3		ns
tDFDVEN	自外部时钟驱动沿起的TDV解除置位延迟时间		8	ns
tDRDVIN	自内部时钟驱动沿起的TDV置位延迟时间	-1		ns
tDFDVIN	自内部时钟驱动沿起的TDV解除置位延迟时间		2	ns

¹以驱动沿为基准。

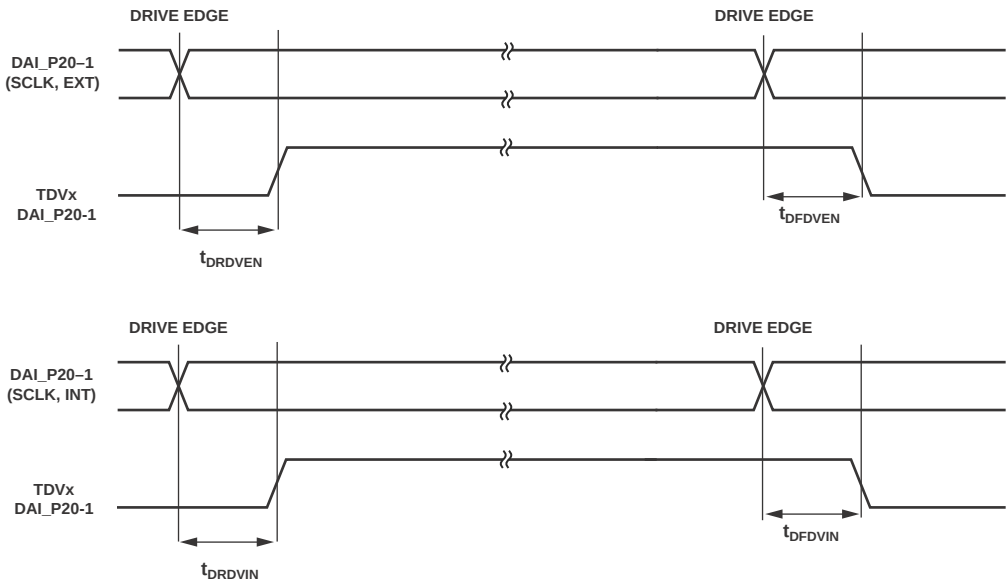


图24. 串行端口—TDM内部和外部时钟

输入数据端口(IDP)

IDP的时序要求如表34所示。IDP信号通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。

表39. 输入数据端口(IDP)

参数		最小值	最大值	单位
时序要求				
t_{SISFS}^1	串行时钟上升沿之前帧同步建立时间	3.8		ns
t_{SIHFS}^1	串行时钟上升沿之后帧同步保持时间	2.5		ns
t_{SISD}^1	串行时钟上升沿之前数据建立时间	2.5		ns
t_{SIHD}^1	串行时钟上升沿之后数据保持时间	2.5		ns
$t_{IDPCLKW}$	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{IDPCLK}	时钟周期	$t_{PCLK} \times 4$		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

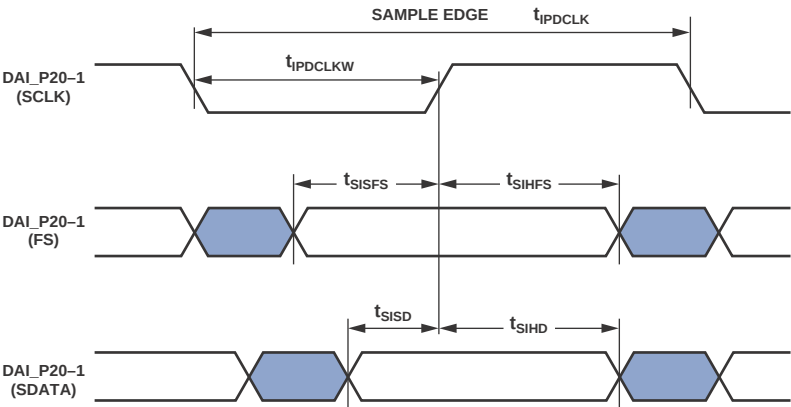


图25. IDP主器件时序

并行数据采集端口(PDAP)

PDAP的时序要求如表35所示。PDAP是IDP通道0的并行工作模式。有关PDAP操作的详情，参见《ADSP-214xx

SHARC处理器硬件参考》的“PDAP”部分。注意，20位外部PDAP数据可以通过ADDR23-4引脚或DAI引脚提供。

表40. 并行数据采集端口(PDAP)

参数		最小值	最大值	单位
时序要求				
t_{SPHOLD}^1	PDAP_CLK采样沿之前PDAP_HOLD建立时间	2.5		ns
t_{HPHOLD}^1	PDAP_CLK采样沿之后PDAP_HOLD保持时间	2.5		ns
t_{PDSD}^1	PDAP_CLK采样沿之前PDAP_DAT建立时间	3.85		ns
t_{PDHD}^1	PDAP_CLK采样沿之后PDAP_DAT保持时间	2.5		ns
t_{PDCLKW}	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 3$		ns
t_{PDCLK}	时钟周期	$t_{PCLK} \times 4$		ns
开关特性				
t_{PDHLDD}	一个字的最后PDAP_CLK捕捉沿之后PDAP选通延迟时间	$2 \times t_{PCLK} + 3$		ns
t_{PDSTRB}	PDAP选通脉冲宽度	$2 \times t_{PCLK} - 1.5$		ns

¹ PDAP_DATA的来源引脚是ADDR23-4或DAI引脚。PDAP_CLK和PDAP_HOLD的来源引脚是：1) DAI引脚；2) CLKIN(通过PCG)；3) DAI引脚(通过PCG)；4) ADDR3-2引脚。

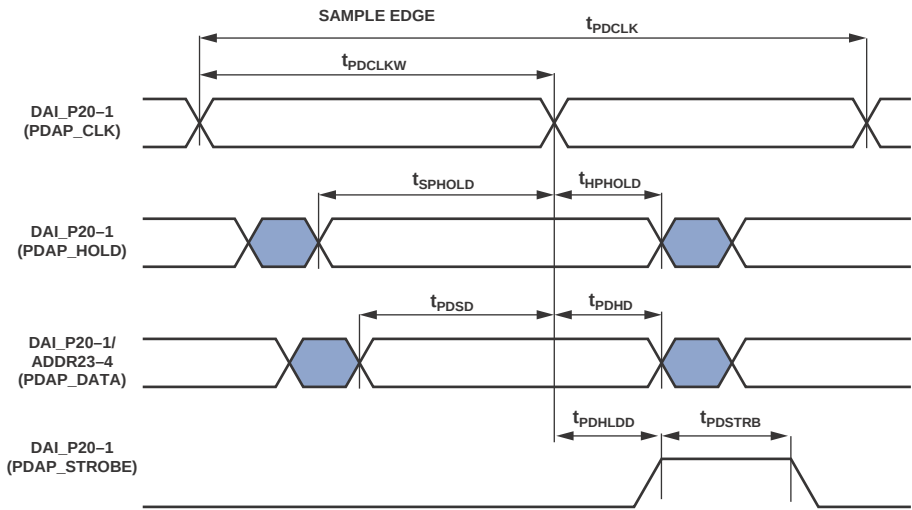


图26. PDAP时序

采样速率转换器—串行输入端口

ASRC输入信号通过SRU从DAI_P20-1引脚路由。因此，表 41提供的时序规格在DAI_P20-1引脚上有效。

表41. ASRC串行输入端口

参数		最小值	最大值	单位
时序要求				
t_{SRCSFS}^1	串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1	串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCSD}^1	串行时钟上升沿之前数据建立时间	4		ns
t_{SRCHD}^1	串行时钟上升沿之后数据保持时间	5.5		ns
$t_{SRCCLKW}$	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{SRCCLK}	时钟周期	$t_{PCLK} \times 4$		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

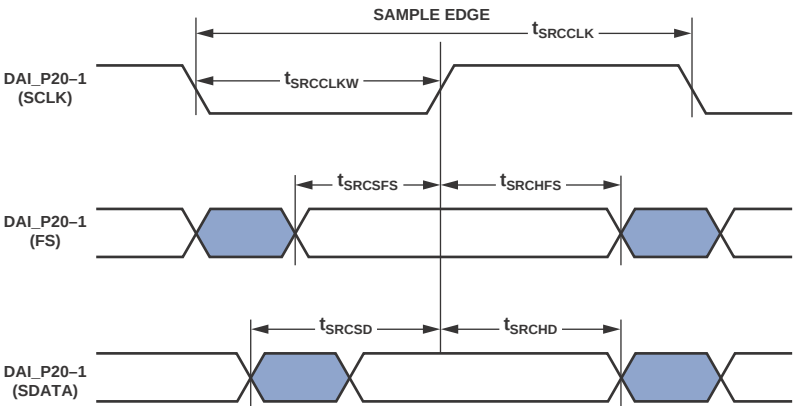


图27. ASRC串行输入端口时序

采样速率转换器—串行输出端口

对于串行输出端口，帧同步为输入，而且它应满足相对于输出端口SCLK的建立和保持时间要求。传输数据输出具有

相对于串行时钟的保持和延迟时间规格。注意，串行时钟上升沿为采样沿，下降沿为驱动沿。

表42. ASRC串行输出端口

参数		最小值	最大值	单位
时序要求				
t_{SRCSFS}^1	串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1	串行时钟上升沿之后帧同步保持时间	5.5		ns
$t_{SRCCLKW}$	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{SRCCLK}	时钟周期	$t_{PCLK} \times 4$		ns
开关特性				
t_{SRCTDD}^1	串行时钟下降沿之后发送数据延迟时间		9.9	ns
t_{SRCTDH}^1	串行时钟下降沿之后发送数据保持时间	1		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

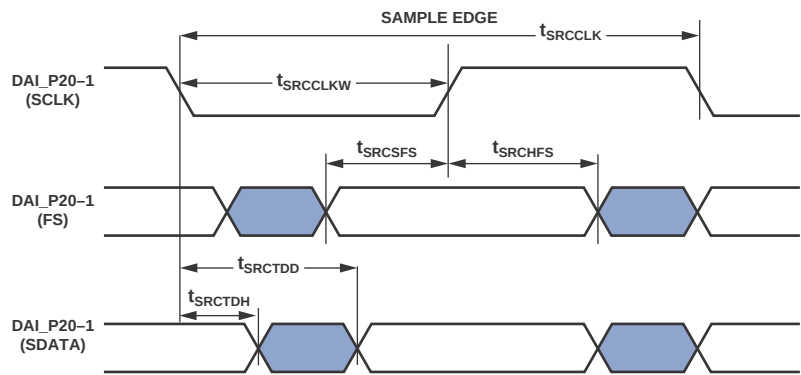


图28. ASRC串行输出端口时序

脉宽调制发生器(PWM)

以下时序规格适用于ADDR23-8/DPI_14-1引脚配置为PWM的情况。

表43. 脉宽调制(PWM)时序

参数		最小值	最大值	单位
开关特性				
t _{PWMW}	PWM输出脉冲宽度	t _{PCLK} - 2	(2 ¹⁶ - 2) × t _{PCLK} - 2	ns
t _{PWMP}	PWM输出周期	2 × t _{PCLK} - 1.5	(2 ¹⁶ - 1) × t _{PCLK} - 1.5	ns

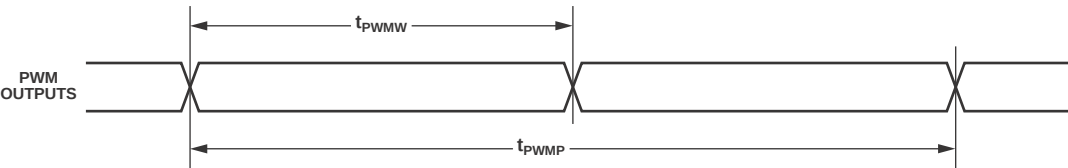


图29. PWM时序

S/PDIF发送器

S/PDIF发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。以下部分提供发送器的时序。

S/PDIF发送器—串行输入波形

图30显示右对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB在24位输出模式下延迟最短时间，在16位输出模式下延迟最长时间(相对于帧同步转换)，因此，当每个帧同步周期具有64个串行时钟周期时，数据的LSB与下一帧同步转换右对齐。

表44. S/PDIF发送器右对齐模式

参数	标称值	单位
时序要求		
t _{RJD}	右对齐模式下帧同步到MSB延迟时间	
	16位字模式	16 SCLK
	18位字模式	14 SCLK
	20位字模式	12 SCLK
	24位字模式	8 SCLK

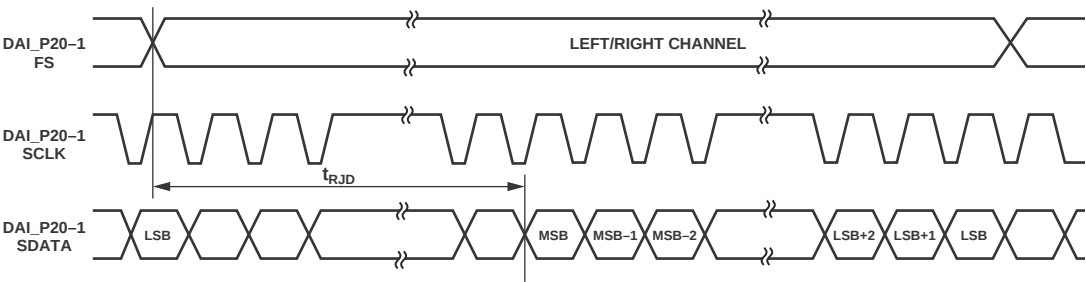


图30. 右对齐模式

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

图31显示默认I²S对齐模式。对于左声道，帧同步为低电平；对于右声道，帧同步为高电平。数据在串行时钟的上升沿有效。MSB与帧同步转换左对齐，但有延迟。

表45. S/PDIF发送器I²S模式

参数	标称值	单位
时序要求		
t _{I2SD} I ² S模式下帧同步到MSB延迟时间	1	SCLK

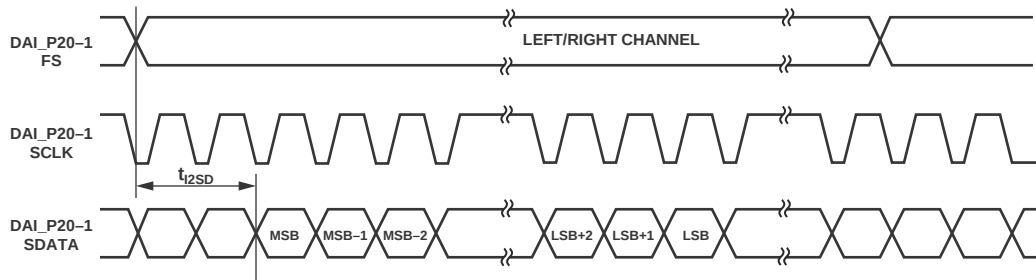


图31. I²S对齐模式

图32显示左对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB与帧同步转换左对齐，无延迟。

表46. S/PDIF发送器左对齐模式

参数	标称值	单位
时序要求		
t _{LJD} 左对齐模式下帧同步到MSB延迟时间	0	SCLK

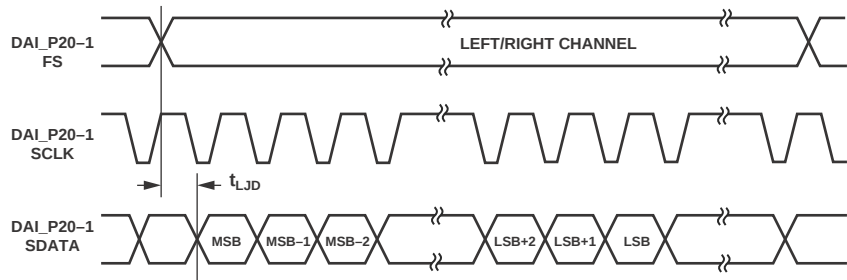


图32. 左对齐模式

S/PDIF发送器输入数据时序

S/PDIF发送器的时序要求如表47所示。输入信号通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。

表47. S/PDIF发送器输入数据时序

参数		最小值	最大值	单位
时序要求				
t_{SISFS}^1	串行时钟上升沿之前帧同步建立时间	3		ns
t_{SIHFS}^1	串行时钟上升沿之后帧同步保持时间	3		ns
t_{SISD}^1	串行时钟上升沿之前数据建立时间	3		ns
t_{SIHD}^1	串行时钟上升沿之后数据保持时间	3		ns
$t_{SITXCLKW}$	发送时钟宽度	9		ns
$t_{SITXCLK}$	发送时钟周期	20		ns
$t_{SISCLKW}$	时钟宽度	36		ns
t_{SISCLK}	时钟周期	80		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

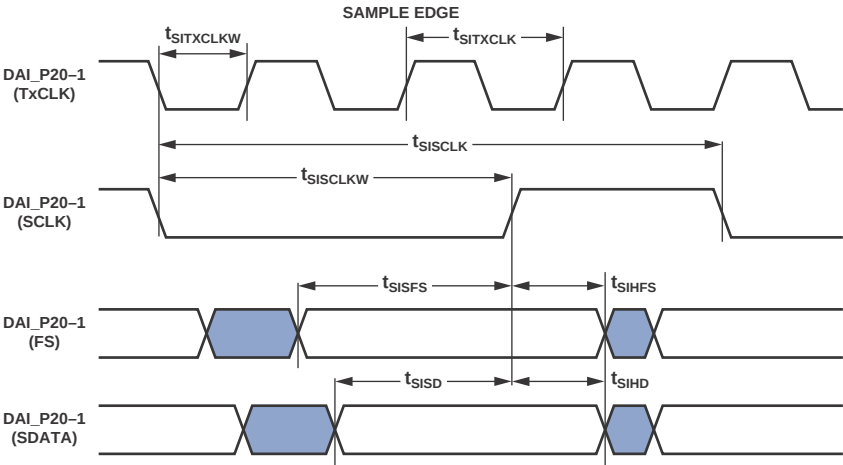


图33. S/PDIF发送器输入时序

过采样时钟(TxCLK)开关特性

S/PDIF发送器需要一个过采样时钟输入。此高频时钟(TxCLK)输入经分频产生内部双相时钟。

表48. 过采样时钟(TxCLK)开关特性

参数	最大值	单位
TxCLK频率 = 384 × 帧同步	过采样比 × 帧同步 $\leq 1/t_{SITXCLK}$	MHz
TxCLK频率 = 256 × 帧同步	49.2	MHz
帧速率(FS)	192.0	kHz

S/PDIF接收器

以下部分说明S/PDIF接收器相关的时序。

内部数字PLL模式

在内部数字锁相环模式下，内部PLL(数字PLL)产生 $512 \times FS$ 时钟。

表49. S/PDIF接收器内部数字PLL模式时序

参数		最小值	最大值	单位
开关特性				
t_{DFSI}	串行时钟之后帧同步延迟时间		5	ns
t_{HOFSI}	串行时钟之后帧同步保持时间	-2		ns
t_{DDTI}	串行时钟之后发送数据延迟时间		5	ns
t_{HDTI}	串行时钟之后发送数据保持时间	-2		ns
t_{SCLKIW}^1	发送串行时钟宽度	$8 \times t_{\text{pCLK}} - 2$		ns

¹SCLK频率为 $64 \times FS$ ，其中FS = 帧同步的频率。

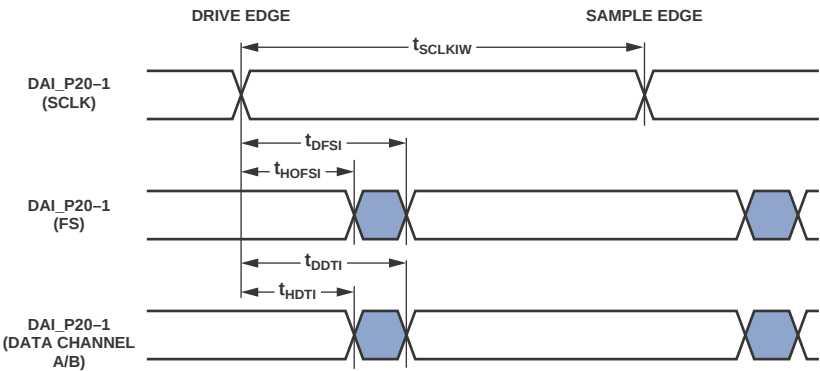


图34. S/PDIF接收器内部数字PLL模式时序

SPI接口—主器件

ADSP-2148x包含2个SPI端口。主要和辅助端口均只能通过DPI使用。表50和表51提供的时序适用于这两个端口。

表50. SPI接口协议—主器件开关和时序规格

参数		最小值	最大值	单位
时序要求				
t_{SSPIDM}	数据输入有效到SPICLK边沿(数据输入建立时间)	8.2		ns
t_{HSPIDM}	SPICLK最后采样沿到数据输入无效	2		ns
开关特性				
$t_{SPICLKM}$	串行时钟周期	$8 \times t_{PCLK} - 2$		ns
t_{SPICHM}	串行时钟高电平周期	$4 \times t_{PCLK} - 2$		ns
t_{SPICLM}	串行时钟低电平周期	$4 \times t_{PCLK} - 2$		ns
$t_{DDSPIDM}$	SPICLK边沿到数据输出有效(数据输出延迟时间)		2.5	ns
$t_{HDSPIDM}$	SPICLK边沿到数据输出无效(数据输出保持时间)	$4 \times t_{PCLK} - 2$		ns
t_{SDSCIM}	DPI引脚(SPI器件选择)低电平到第一个SPICLK边沿	$4 \times t_{PCLK} - 2$		ns
t_{HDSM}	最后一个SPICLK边沿到DPI引脚(SPI器件选择)高电平	$4 \times t_{PCLK} - 2$		ns
t_{SPITDM}	顺序传输延迟时间	$4 \times t_{PCLK} - 1.2$		ns

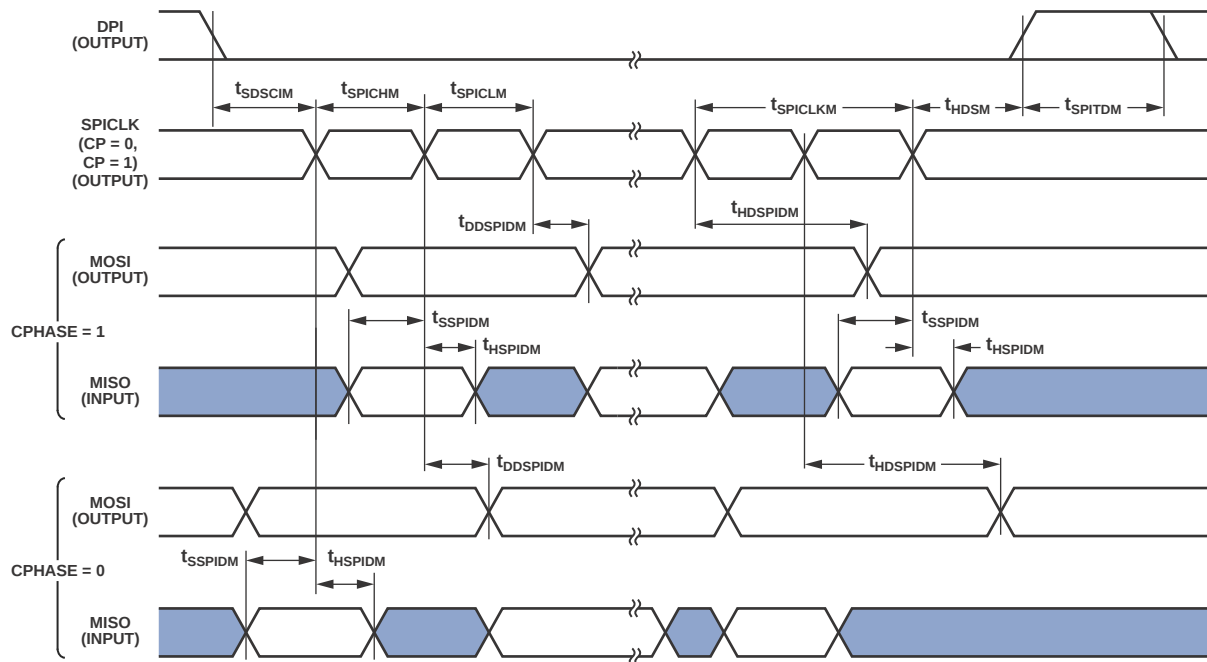


图35. SPI主器件时序

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

SPI接口—从器件

表51. SPI接口协议—从器件开关和时序规格

参数		最小值	最大值	单位
时序要求				
t_{SPICLK}	串行时钟周期	$4 \times t_{PCLK} - 2$		ns
t_{SPICHS}	串行时钟高电平周期	$2 \times t_{PCLK} - 2$		ns
t_{SPICLS}	串行时钟低电平周期	$2 \times t_{PCLK} - 2$		ns
t_{SDSCO}	$\overline{SPIDS}$ 置位到第一个SPICLK边沿 CPHASE = 0	$2 \times t_{PCLK}$		ns
	CPHASE = 1			
t_{HDS}	最后一个SPICLK边沿到 $\overline{SPIDS}$ 未置位, CPHASE = 0	$2 \times t_{PCLK}$		ns
t_{SSPIDS}	数据输入有效到SPICLK边沿(数据输入建立时间)	2		ns
t_{HSPIDS}	SPICLK最后采样沿到数据输入无效	2		ns
t_{SDPPW}	$\overline{SPIDS}$ 解除置位脉冲宽度(CPHASE=0)	$2 \times t_{PCLK}$		ns
开关特性				
t_{DSOE}	$\overline{SPIDS}$ 置位至数据输出有效	0	7.5	ns
t_{DSOE}^1	$\overline{SPIDS}$ 置位至数据输出有效(SPI2)	0	7.5	ns
t_{DSDHI}	$\overline{SPIDS}$ 解除置位到数据高阻态	0	10.5	ns
t_{DSDHI}^1	$\overline{SPIDS}$ 解除置位到数据高阻态(SPI2)	0	10.5	ns
$t_{DDSPIDS}$	SPICLK边沿到数据输出有效(数据输出延迟时间)		9.5	ns
$t_{HDSPIDS}$	SPICLK边沿到数据输出无效(数据输出保持时间)	$2 \times t_{PCLK}$		ns
t_{DSOV}	$\overline{SPIDS}$ 置位至数据输出有效(CPHASE = 0)		$5 \times t_{PCLK}$	ns

¹ 这些参数的时序适用于SPI通过信号路由由单元路由的情况。更多信息请参阅处理器硬件参考的“串行外设接口端口”部分。

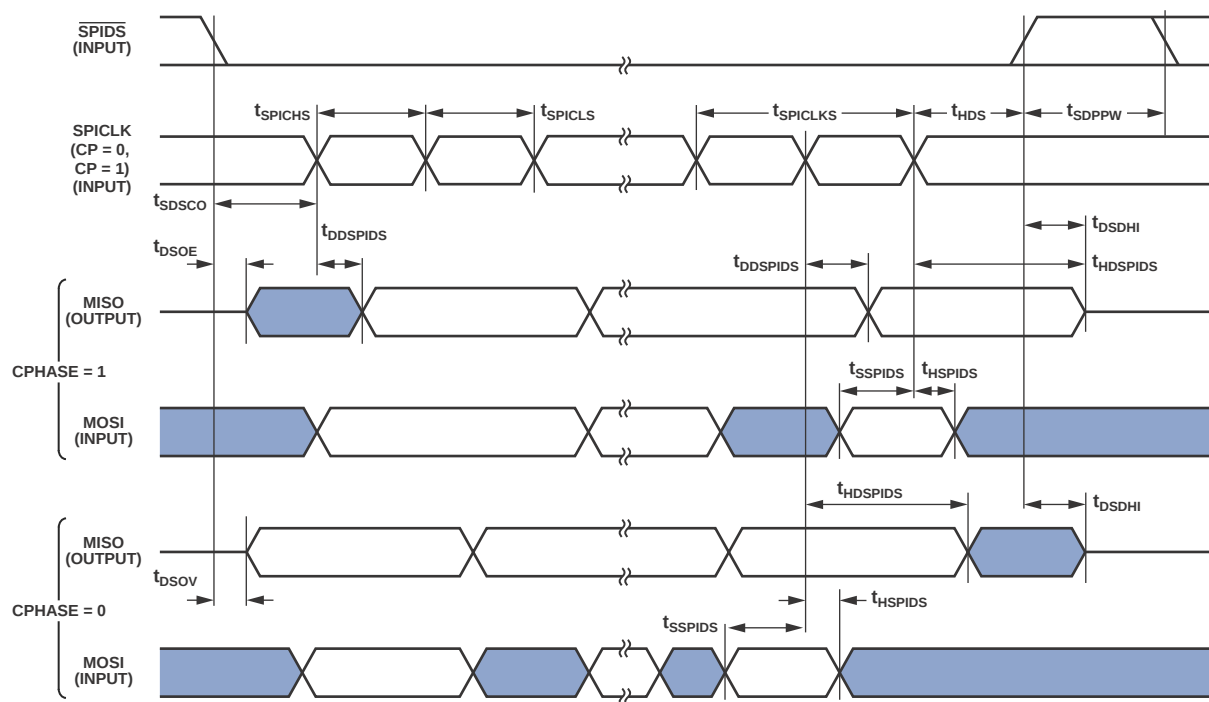


图36. SPI从器件时序

媒体局部总线

除非另有说明，给出的所有数值适用于所有速度型号(1024 FS、512 FS和256 FS为3引脚；512 FS和256 FS为5引脚)。更多信息请参阅MediaLB规范3.0版。

表52. MLB接口，3引脚规格

参数	最小值	典型值	最大值	单位
3引脚特性				
t _{MLBCLK} MLB时钟周期				
		20.3		ns
		40		ns
t _{MCKL} MLBCLK低电平时间		81		ns
t _{MCKH} MLBCLK高电平时间				
t _{MCKR} MLBCLK上升时间(V _{IL} 至V _{IH})				
t _{MCKF} MLBCLK下降时间(V _{IH} 至V _{IL})				
t _{MPWV} ¹ MLBCLK脉冲宽度变化				
t _{DSMCF} DAT/SIG输入建立时间				
t _{DHMcF} DAT/SIG输入保持时间				
t _{MCFDZ} DAT/SIG输出时间至三态				
t _{MCDRV} 自MLBCLK上升沿起的DAT/SIG输出数据延迟时间				
t _{MDZH} ² 总线保持时间				
C _{MLB} DAT/SIG引脚负载				

¹ 脉冲宽度变化在1.25 V下测量；在MLBCLK的一个沿上触发，然后在另一个沿上测量扩展，单位为ns峰峰值(pp)。

² 电路板设计必须确保高阻抗总线在此时间内不离开最终受驱动位的逻辑状态。因此，在满足所列最大容性负载要求的同时，必须将耦合降至最小。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

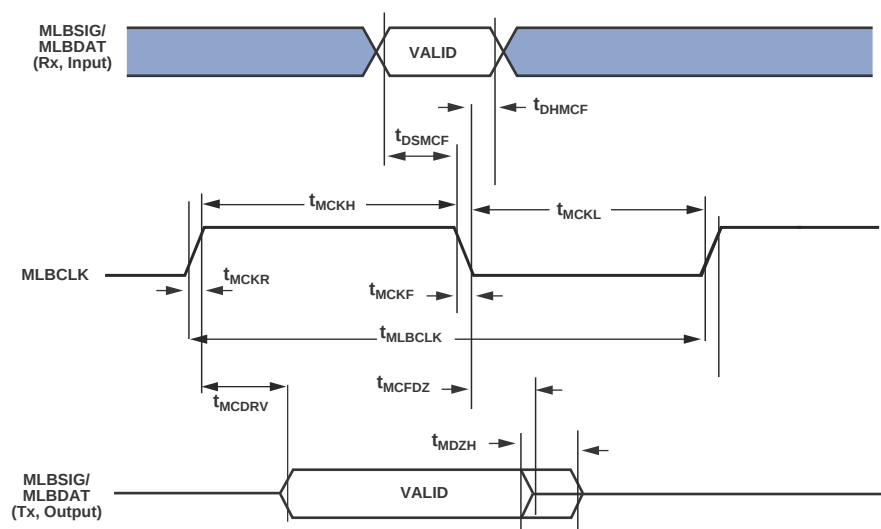


图37. MLB时序(3引脚接口)

表53. MLB接口，5引脚规格

参数		最小值	典型值	最大值	单位
5引脚特性					
t_{MLBCLK}	MLB时钟周期				
	512 FS		40		ns
	256 FS		81		ns
t_{MCKL}	MLBCLK低电平时间				
	512 FS	15			ns
	256 FS	30			ns
t_{MCKH}	MLBCLK高电平时间				
	512 FS	15			ns
	256 FS	30			ns
t_{MCKR}	MLBCLK上升时间(V_{IL} 至 V_{IH})			6	ns
t_{MCKF}	MLBCLK下降时间(V_{IH} 至 V_{IL})			6	ns
t_{MPWV} ¹	MLBCLK脉冲宽度变化			2	nspp
t_{DSMCF} ²	DAT/SIG输入建立时间	3			ns
t_{DHMCf}	DAT/SIG输入保持时间	5			ns
t_{MCDRV}	自MLBCLK上升沿起的DS/DO输出数据延迟时间			8	ns
t_{MCRDL} ³	自MLBCLK高电平起的DO/SO低电平时间				
	512 FS			10	ns
	256 FS			20	ns
C_{MLB}	DS/DO引脚负载			40	pf

¹ 脉冲宽度变化在1.25 V下测量：在MLBCLK的一个沿上触发，然后在另一个沿上测量扩展，单位为ns峰值(pp)。

² 必须考虑引脚“或”逻辑引起的栅极延迟。

³ 当节点未将有效数据驱动到总线时，MLBSO和MLBDO输出线应保持低电平。如果输出线可以随时悬空，包括在复位时，则需要使用外部下拉电阻，防止为驱动时输出破坏MediaLB信号线。

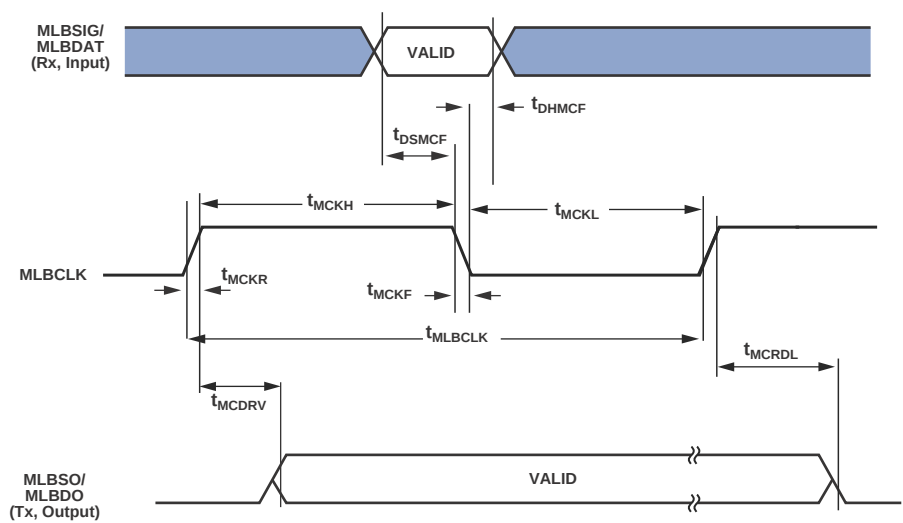


图38. MLB时序(5引脚接口)

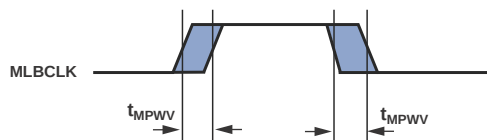


图39. MLB 3引脚和5引脚MLBCLK脉冲宽度变化时序

通用异步接收器-发送器(UART)端口—接收和发送时序

有关UART端口接收和发送操作的信息，参见《ADSP-214xx SHARC硬件参考手册》。

双线式接口(TWI)—接收和发送时序

有关TWI接收和发送操作的信息，参见《ADSP-214xx SHARC硬件参考手册》。

JTAG测试访问端口和仿真

表54. JTAG测试访问端口和仿真

参数		最小值	最大值	单位
时序要求				
t_{TCK}	TCK周期	20		ns
t_{STAP}	TCK高电平之前TDI、TMS建立时间	5		ns
t_{HTAP}	TCK高电平之后TDI、TMS保持时间	6		ns
t_{SSYS}^1	TCK高电平之前系统输入建立时间	7		ns
t_{HSYS}^1	TCK高电平之后系统输入保持时间	18		ns
t_{TRSTW}	$\overline{TRST}$ 脉冲宽度	$4t_{CK}$		ns
开关特性				
t_{DTDO}	自TCK低电平起的TDO延迟时间		10	ns
t_{DSYS}^2	TCK低电平之后系统输出延迟时间		$t_{CK} \div 2 + 7$	ns

¹系统输入 = DATA15-0、CLK_CFG1-0、 $\overline{RESET}$ 、BOOT_CFG2-0、DAI_Px、DPI_Px和FLAG3-0。
²系统输出 = DAI_Px、DPI_Px、ADDR23-0、AMI_RD、AMI_WR、FLAG3-0、SDRAS、SDCAS、SDWE、SDCKE、SDA10、SDDQM、SDCLK和EMU。

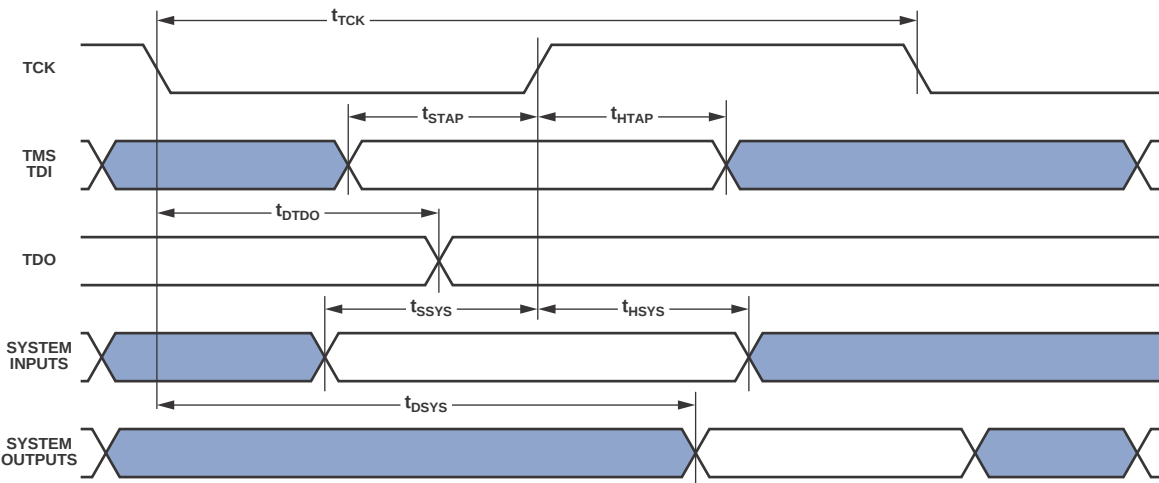


图40. IEEE 1149.1 JTAG测试访问端口

输出驱动电流

图41显示ADSP-2148x输出驱动器的典型I-V特性，表55显示各驱动器相关的引脚。这些曲线反映输出驱动器的电流驱动能力与输出电压的关系

表55. 驱动器类型

驱动器类型	相关引脚
A	FLAG[0–3], AMI_ADDR[0–23], DATA[0–15], AMI_RD, AMI_WR, AMI_ACK, MS[1–0], SDRAS, SDCAS, SDWE, SDDQM, SDCKE, SDA10, EMU, TDO, RESETOUT, DPI[1–14], DAI[1–20], WDTRSTO, MLBDAT, MLBSIG, MLBSO, MLBDO, MLBCLK
B	SDCLK

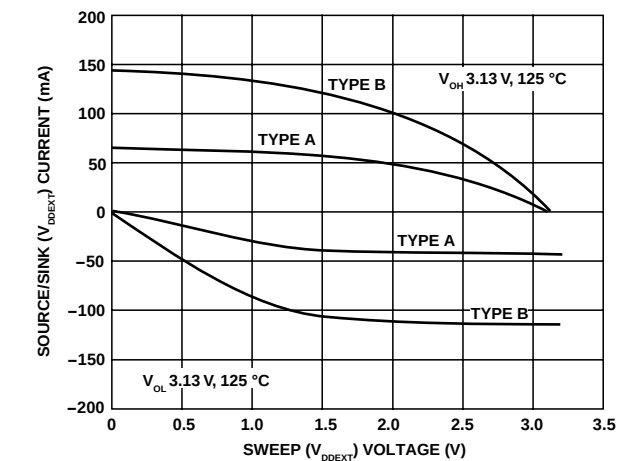


图41. 结温时的典型驱动

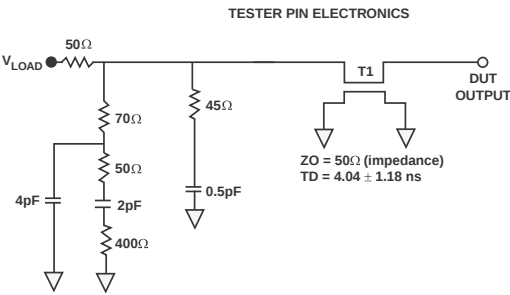
测试条件

交流信号规格(时序参数)如第24页的表21至第53页的表54所示，包括输出禁用时间、输出使能时间和容性负载。SHARC的时序规格适用于图42所示的基准电平。

时序是在信号跨过1.5 V电平时测量，如图43所示。所有延迟时间(纳秒)均在第一个信号达到1.5 V的时间点与第二个信号达到1.5 V的时间点之间测量。



图43. 用于交流测量的基准电平



NOTES:
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.
ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

图42. 交流测量的等效器件负载
(包括所有配件)

容性负载

输出延迟和保持时间基于标准容性负载：所有引脚均为30 pF（见图42）。图46和图47以图形方式显示了输出延迟和保持时间如何随负载电容而变化。对于典型输出延迟时间与负载电容的关系和典型输出上升时间(20%至80%，V = 最小值)与负载电容的关系，在所示范围之外，图44至图47中的图形可能不是线性的。

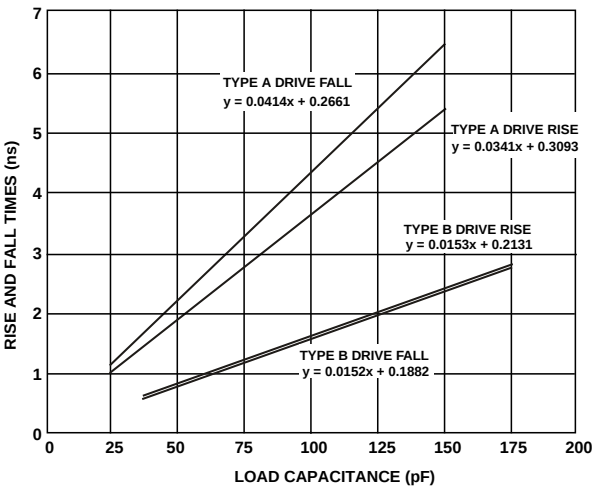


图44. 典型输出上升/下降时间
(20%至80%，V_{DD_EXT} = 最大值)

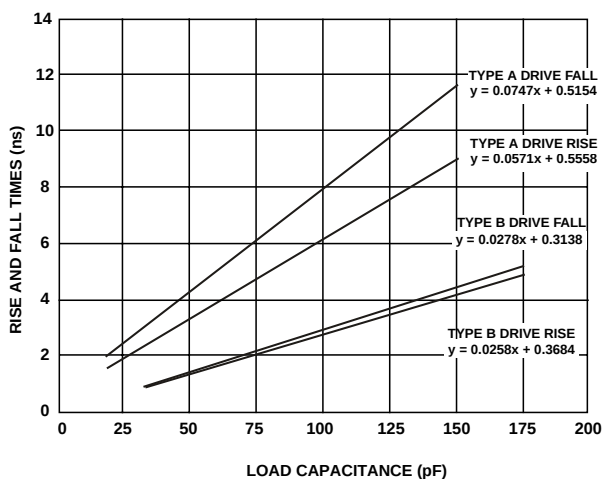


图45. 典型输出上升/下降时间
(20%至80%, V_{DD_EXT} = 最小值)

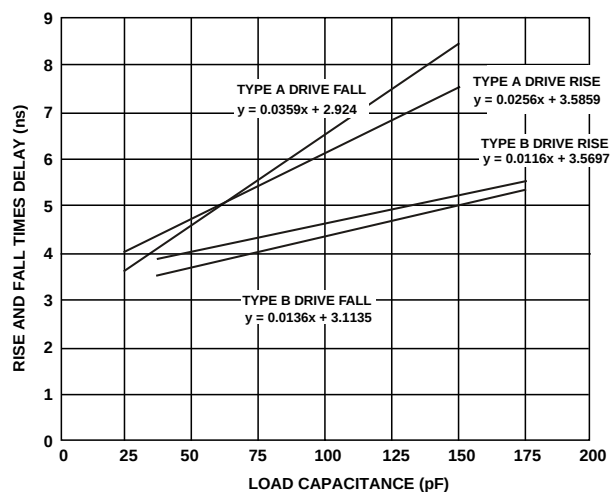


图47. 典型输出上升/下降延迟时间
(V_{DD_EXT} = 最小值)

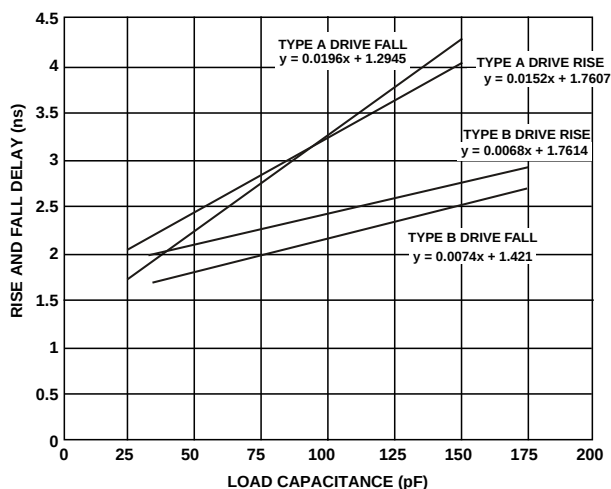


图46. 典型输出上升/下降延迟时间
(V_{DD_EXT} = 最大值)

热特性

ADSP-2148x处理器的额定温度范围如第17页的工作条件所示。

表57中的气流测量符合JEDEC标准JESD51-2和JESD51-6，结至板测量符合JESD51-8标准。测试板设计符合JEDEC标准JESD51-7 (LQFP_EP)。结至壳测量符合MIL-STD-883标准。所有测量均使用2S2P JEDEC测试板。

下述公式用来计算应用PCB上器件的结温：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_J = 结温(°C)

T_{CASE} = 壳温(°C)，在封装的顶部中央测得

Ψ_{JT} = 结至顶部(封装)特性参数见表57中的典型值。

P_D = 功耗

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度(°C)

θ_{JC} 值是在需要外部散热器时，供封装比较和PCB设计考虑时使用。

注意，表56和表57中提供的热特性值是建模计算值。

表56. 100引脚LQFP_EP封装的热特性

参数	条件	典型值	单位
θJA	气流 = 0 m/s	17.8	°C/W
θJMA	气流 = 1 m/s	15.4	°C/W
θJMA	气流 = 2 m/s	14.6	°C/W
θJC		2.4	°C/W
ΨJT	气流 = 0 m/s	0.24	°C/W
ΨJMT	气流 = 1 m/s	0.37	°C/W
ΨJMT	气流 = 2 m/s	0.51	°C/W

表57. 176引脚LQFP_EP封装的热特性

参数	条件	典型值	单位
θJA	气流 = 0 m/s	16.9	°C/W
θJMA	气流 = 1 m/s	14.6	°C/W
θJMA	气流 = 2 m/s	13.8	°C/W
θJC		2.3	°C/W
ΨJT	气流 = 0 m/s	0.21	°C/W
ΨJMT	气流 = 1 m/s	0.32	°C/W
ΨJMT	气流 = 2 m/s	0.41	°C/W

表58. 热二极管参数 - 晶体管模型¹

符号	参数	最小值	典型值	最大值	单位
I _{FW} ²	正向偏置电流	10		300	μA
I _E	发射极电流	10		300	μA
nQ ^{3, 4}	晶体管理想系数	1.012	1.015	1.017	
R _T ^{3, 5}	串联电阻	0.12	0.2	0.28	Ω

¹ 参见工程师笔记EE-346。

² ADI公司建议不要在反向偏置下使用热二极管。

³ 通过设计特性指定。

⁴ 理想系数nQ表示二极管实际行为与以下二极管方程式所代表的理想行为的差异：I_C = I_S × (e^{qV_{BE}/nqkT} - 1)，其中I_S = 饱和电流，q = 电荷，V_{BE} = 二极管上的电压，k = 波尔兹曼常数，T = 绝对温度(K)。

⁵ 串联电阻(R_T)可根据需要使用，使读数更精确。

热二极管

ADSP-2148x处理器集成了热二极管来监控芯片温度。该热二极管是集电极接地、PNP双极性结晶体管(BJT)。THD_P引脚连接到晶体管的发射极，THD_M引脚连接到基极。外部温度传感器(如ADM1021A或LM86等)可以利用这些引脚来读取芯片温度。

外部温度传感器使用的技术是让热二极管在两个不同的电流下工作，测量VBE的变化。如下式所示：

$$\Delta V_{BE} = n \times \frac{kT}{q} \times \ln(N)$$

其中：

n = 乘法系数，接近1，取决于工艺变化

k = 波尔兹曼常数

T = 温度(°C)

q = 电荷

N = 两个电流之比

对于常见的温度传感器芯片，这两个电流通常在10 μA到300 μA范围内。

表58列出了使用晶体管模型的热二极管特性。

100引脚LQFP_EP引脚分配

表59. 100引脚LQFP_EP封装引脚分配(按引脚编号顺序)

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
VDD_INT	1	VDD_EXT	26	DAI_P10	51	VDD_INT	76
CLK_CFG1	2	DPI_P08	27	VDD_INT	52	FLAG0	77
BOOT_CFG0	3	DPI_P07	28	VDD_EXT	53	VDD_INT	78
VDD_EXT	4	VDD_INT	29	DAI_P20	54	VDD_INT	79
VDD_INT	5	DPI_P09	30	VDD_INT	55	FLAG1	80
BOOT_CFG1	6	DPI_P10	31	DAI_P08	56	FLAG2	81
GND	7	DPI_P11	32	DAI_P04	57	FLAG3	82
NC	8	DPI_P12	33	DAI_P14	58	MLBCLK	83
NC	9	DPI_P13	34	DAI_P18	59	MLBDAT	84
CLK_CFG0	10	DAI_P03	35	DAI_P17	60	MLBDO	85
VDD_INT	11	DPI_P14	36	DAI_P16	61	VDD_EXT	86
CLKIN	12	VDD_INT	37	DAI_P15	62	MLBSIG	87
XTAL	13	VDD_INT	38	DAI_P12	63	VDD_INT	88
VDD_EXT	14	VDD_INT	39	VDD_INT	64	MLBSO	89
VDD_INT	15	DAI_P13	40	DAI_P11	65	$\overline{\text{TRST}}$	90
VDD_INT	16	DAI_P07	41	VDD_INT	66	$\overline{\text{EMU}}$	91
$\overline{\text{RESETOUT}}/\text{RUNRSTIN}$	17	DAI_P19	42	VDD_INT	67	TDO	92
VDD_INT	18	DAI_P01	43	GND	68	VDD_EXT	93
DPI_P01	19	DAI_P02	44	THD_M	69	VDD_INT	94
DPI_P02	20	VDD_INT	45	THD_P	70	TDI	95
DPI_P03	21	VDD_EXT	46	VDD_THD	71	TCK	96
VDD_INT	22	VDD_INT	47	VDD_INT	72	VDD_INT	97
DPI_P05	23	DAI_P06	48	VDD_INT	73	$\overline{\text{RESET}}$	98
DPI_P04	24	DAI_P05	49	VDD_INT	74	TMS	99
DPI_P06	25	DAI_P09	50	VDD_INT	75	VDD_INT	100
						GND	101*

MLB引脚(引脚83、84、85、87和89)仅限汽车应用型号。对于非汽车应用型号，这些引脚应接地(GND)。

* 引脚101为处理器的GND电源(参见图48和图49)；此焊盘必须可靠地连接到GND。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

图48为100引脚LQFP_EP引脚配置的俯视图。图49为100引脚LQFP_EP引脚配置的仰视图。

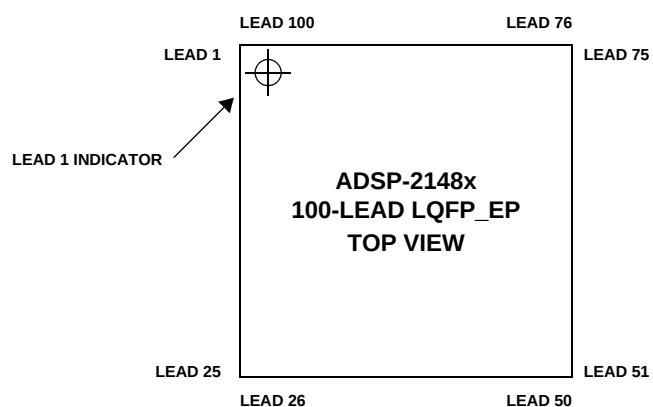


图48. 100引脚LQFP_EP封装引脚配置(俯视图)

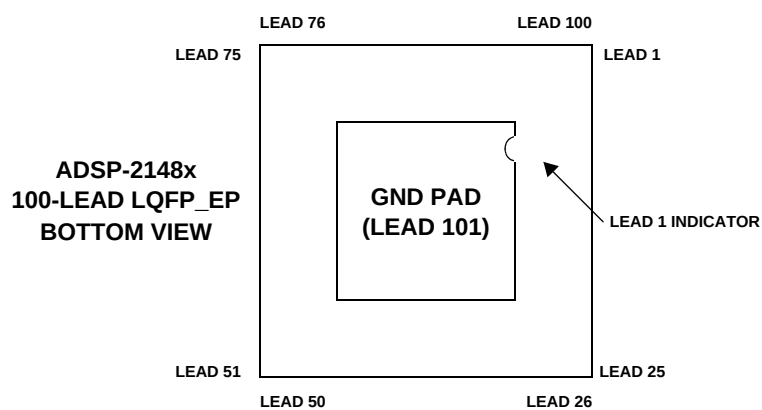


图49. 100引脚LQFP_EP封装引脚配置(仰视图)

176引脚LQFP_EP引脚分配

表60. ADSP-21486 176引脚LQFP_EP封装引脚分配(按引脚编号顺序)

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
NC	1	V _{DD_EXT}	45	DAI_P10	89	V _{DD_INT}	133
MS0	2	DPI_P08	46	V _{DD_INT}	90	FLAG0	134
NC	3	DPI_P07	47	V _{DD_EXT}	91	FLAG1	135
V _{DD_INT}	4	V _{DD_INT}	48	DAI_P20	92	FLAG2	136
CLK_CFG1	5	DPI_P09	49	V _{DD_INT}	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V _{DD_EXT}	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V _{DD_EXT}	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V _{DD_INT}	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V _{DD_EXT}	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V _{DD_INT}	102	EMU	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V _{DD_EXT}	104	DATA1	148
ADDR7	17	NC	61	V _{DD_INT}	105	DATA2	149
NC	18	V _{DD_INT}	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V _{DD_INT}	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V _{DD_INT}	65	GND	109	V _{DD_EXT}	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V _{DD_INT}	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V _{DD_INT}	68	V _{DD_THD}	112	V _{DD_INT}	156
XTAL	25	NC	69	V _{DD_INT}	113	DATA7	157
ADDR10	26	WDRSTO	70	V _{DD_INT}	114	TDI	158
NC	27	NC	71	MS1	115	NC	159*
V _{DD_EXT}	28	V _{DD_EXT}	72	V _{DD_INT}	116	V _{DD_EXT}	160
V _{DD_INT}	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	30	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V _{DD_EXT}	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V _{DD_INT}	34	V _{DD_INT}	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V _{DD_INT}	123	DATA14	167
RESETOUT/RUNRSTIN	36	NC	80	ADDR20	124	DATA13	168
V _{DD_INT}	37	NC	81	ADDR19	125	V _{DD_INT}	169
DPI_P01	38	NC	82	V _{DD_EXT}	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	NC	171
DPI_P03	40	V _{DD_EXT}	84	ADDR15	128	NC	172
V _{DD_INT}	41	V _{DD_INT}	85	V _{DD_INT}	129	RESET	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	NC	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V _{DD_INT}	176
						GND	177**

*此引脚不应有外部连接。只能用作NC。

** 引脚177为处理器的GND电源(参见图50和图51); 此焊盘必须可靠地连接到GND。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表61. ADSP-21483、ADSP-21487、ADSP-21488和ADSP-21489 176引脚LQFP_EP封装引脚分配
(按引脚编号顺序)

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
SDDQM	1	V _{DD_EXT}	45	DAI_P10	89	V _{DD_INT}	133
$\overline{MS0}$	2	DPI_P08	46	V _{DD_INT}	90	FLAG0	134
SDCKE	3	DPI_P07	47	V _{DD_EXT}	91	FLAG1	135
V _{DD_INT}	4	V _{DD_INT}	48	DAI_P20	92	FLAG2	136
CLK_CFG1	5	DPI_P09	49	V _{DD_INT}	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V _{DD_EXT}	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V _{DD_EXT}	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V _{DD_INT}	143
ADDR4	12	NC	56	DAI_P12	100	$\overline{TRST}$	144
ADDR5	13	V _{DD_EXT}	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V _{DD_INT}	102	$\overline{EMU}$	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V _{DD_EXT}	104	DATA1	148
ADDR7	17	NC	61	V _{DD_INT}	105	DATA2	149
NC	18	V _{DD_INT}	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V _{DD_INT}	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V _{DD_INT}	65	GND	109	V _{DD_EXT}	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V _{DD_INT}	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V _{DD_INT}	68	V _{DD_THD}	112	V _{DD_INT}	156
XTAL	25	NC	69	V _{DD_INT}	113	DATA7	157
ADDR10	26	$\overline{WDTRSTO}$	70	V _{DD_INT}	114	TDI	158
SDA10	27	NC	71	$\overline{MST}$	115	SDCLK	159
V _{DD_EXT}	28	V _{DD_EXT}	72	V _{DD_INT}	116	V _{DD_EXT}	160
V _{DD_INT}	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	30	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V _{DD_EXT}	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V _{DD_INT}	34	V _{DD_INT}	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V _{DD_INT}	123	DATA14	167
$\overline{RESETOUT}/\text{RUNRSTIN}$	36	NC	80	ADDR20	124	DATA13	168
V _{DD_INT}	37	NC	81	ADDR19	125	V _{DD_INT}	169
DPI_P01	38	NC	82	V _{DD_EXT}	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	$\overline{SDWE}$	171
DPI_P03	40	V _{DD_EXT}	84	ADDR15	128	$\overline{SDRAS}$	172
V _{DD_INT}	41	V _{DD_INT}	85	V _{DD_INT}	129	$\overline{RESET}$	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	$\overline{AMI_WR}$	131	$\overline{SDCAS}$	175
DPI_P06	44	DAI_P09	88	$\overline{AMI_RD}$	132	V _{DD_INT}	176
						GND	177*

* 引脚177为处理器的GND电源(参见图50和图51); 此焊盘必须可靠地连接到GND。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

表62. 汽车应用型号ADSP-21488和ADSP-21489 176引脚LQFP_EP封装引脚分配(按引脚编号顺序)

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
SDDQM	1	V _{DD_EXT}	45	DAI_P10	89	V _{DD_INT}	133
$\overline{MS0}$	2	DPI_P08	46	V _{DD_INT}	90	FLAG0	134
SDCKE	3	DPI_P07	47	V _{DD_EXT}	91	FLAG1	135
V _{DD_INT}	4	V _{DD_INT}	48	DAI_P20	92	FLAG2	136
CLK_CFG1	5	DPI_P09	49	V _{DD_INT}	93	MLBCLK	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	MLBDAT	139
V _{DD_EXT}	8	DPI_P12	52	DAI_P04	96	MLBDO	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V _{DD_EXT}	141
ADDR2	10	DPI_P14	54	DAI_P17	98	MLBSIG	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V _{DD_INT}	143
ADDR4	12	NC	56	DAI_P12	100	$\overline{TRST}$	144
ADDR5	13	V _{DD_EXT}	57	DAI_P15	101	MLBSO	145
BOOT_CFG1	14	NC	58	V _{DD_INT}	102	EMU	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V _{DD_EXT}	104	DATA1	148
ADDR7	17	NC	61	V _{DD_INT}	105	DATA2	149
NC	18	V _{DD_INT}	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V _{DD_INT}	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V _{DD_INT}	65	GND	109	V _{DD_EXT}	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V _{DD_INT}	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V _{DD_INT}	68	V _{DD_THD}	112	V _{DD_INT}	156
XTAL	25	NC	69	V _{DD_INT}	113	DATA7	157
ADDR10	26	$\overline{WDTRSTO}$	70	V _{DD_INT}	114	TDI	158
SDA10	27	NC	71	$\overline{MS1}$	115	SDCLK	159
V _{DD_EXT}	28	V _{DD_EXT}	72	V _{DD_INT}	116	V _{DD_EXT}	160
V _{DD_INT}	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	30	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V _{DD_EXT}	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V _{DD_INT}	34	V _{DD_INT}	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V _{DD_INT}	123	DATA14	167
$\overline{RESETOUT}/\overline{RUNRSTIN}$	36	NC	80	ADDR20	124	DATA13	168
V _{DD_INT}	37	NC	81	ADDR19	125	V _{DD_INT}	169
DPI_P01	38	NC	82	V _{DD_EXT}	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	$\overline{SDWE}$	171
DPI_P03	40	V _{DD_EXT}	84	ADDR15	128	$\overline{SDRAS}$	172
V _{DD_INT}	41	V _{DD_INT}	85	V _{DD_INT}	129	$\overline{RESET}$	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	$\overline{AMI_WR}$	131	$\overline{SDCAS}$	175
DPI_P06	44	DAI_P09	88	$\overline{AMI_RD}$	132	V _{DD_INT}	176
						GND	177*

* 引脚177为处理器的GND电源(参见图50和图51); 此焊盘必须可靠地连接到GND。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

图50为176引脚LQFP_EP引脚配置的俯视图。图51为176引脚LQFP_EP引脚配置的仰视图。

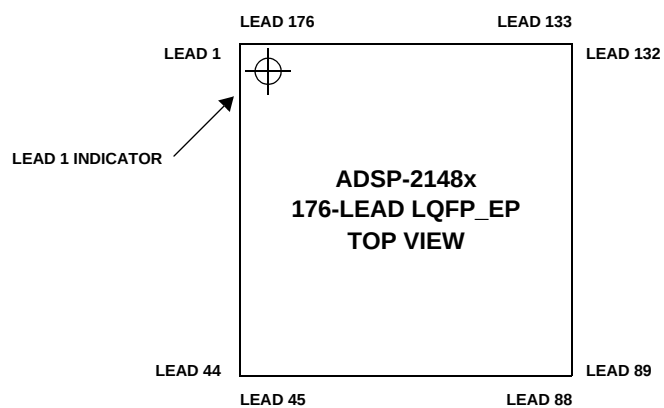


图50. 176引脚LQFP_EP封装引脚配置(俯视图)

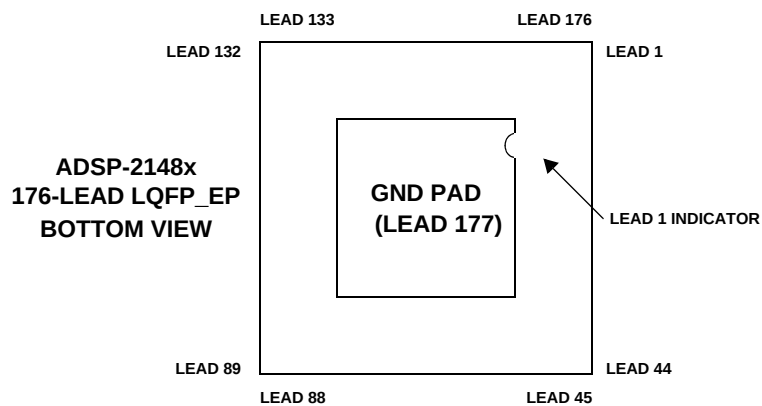
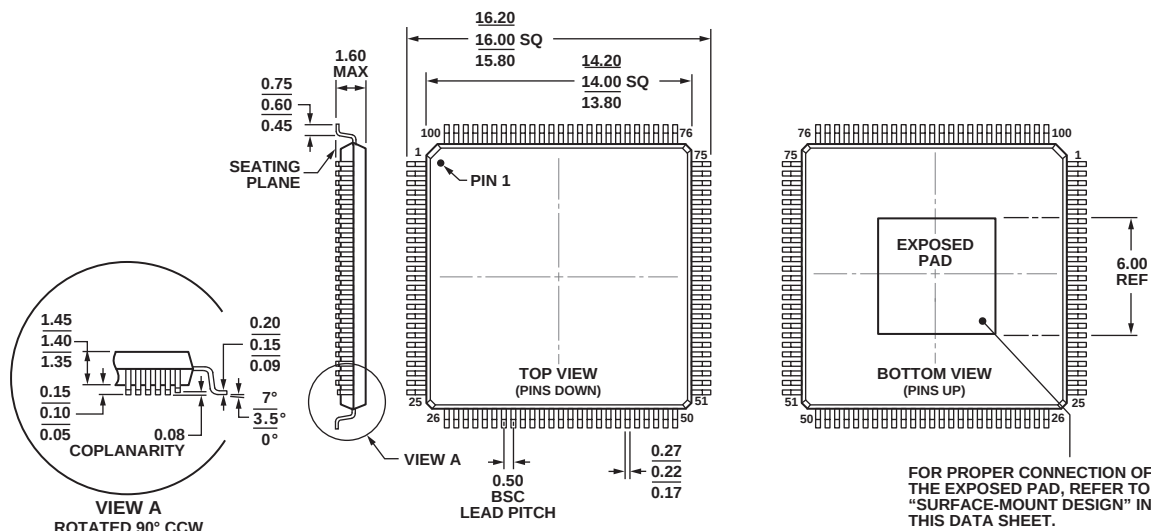


图51. 176引脚LQFP_EP封装引脚配置(仰视图)

外形尺寸

ADSP-2148x处理器提供100引脚和176引脚LQFP_EP两种符合RoHS标准的封装。



COMPLIANT TO JEDEC STANDARDS MS-026-BED-HD

图52. 100引脚裸露焊盘低矮型四方扁平封装[LQFP_EP]
(SV-100-2)
尺寸单位: mm

¹有关SW-100-2封装上裸露焊盘的信息，参见第57页表格后的注释。

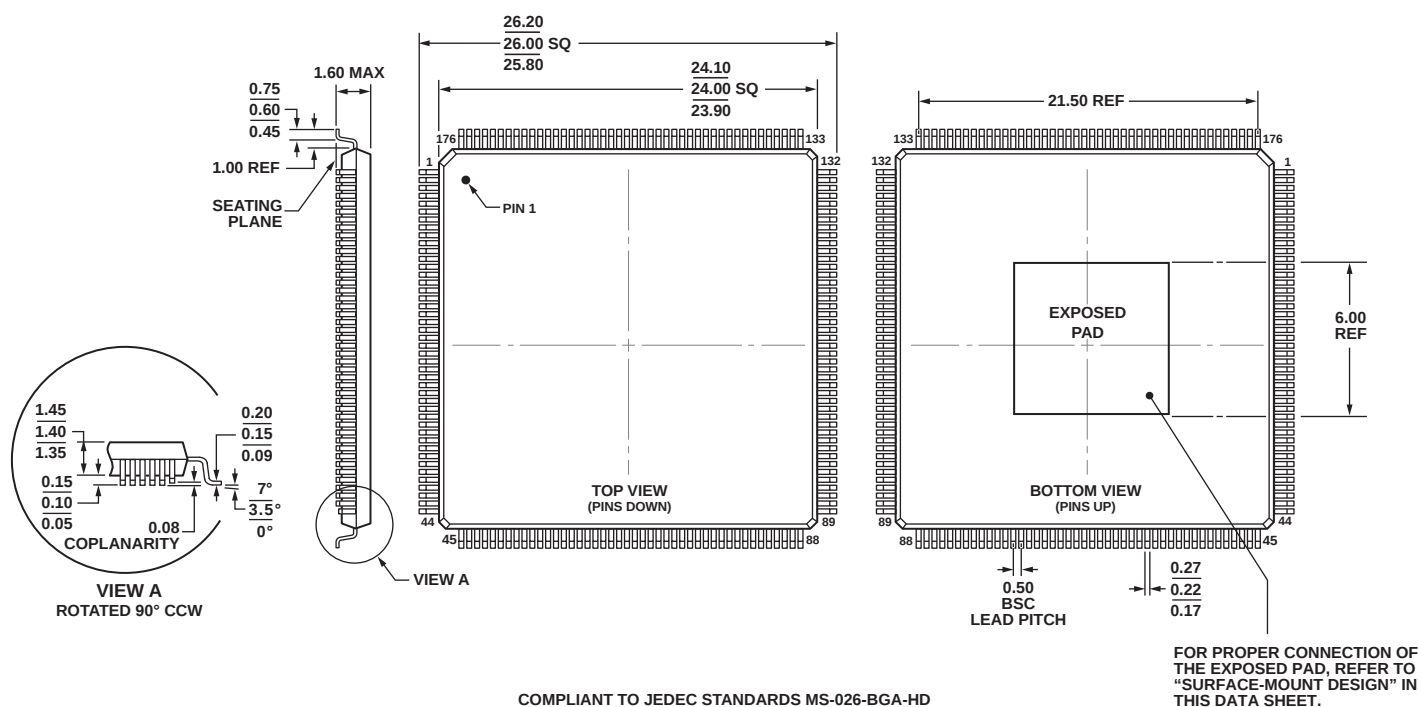


图53. 176引脚裸露焊盘低矮型四方扁平封装[LQFP_EP¹]
(SV-176-2)
尺寸单位: mm

¹有关SW-176-2封装上裸露焊盘的信息，参见第59页表格后的注释。

表贴设计

裸露焊盘须电连接和热连接到GND。为此，应将裸露焊盘焊接到大小与之相同的GND PCB焊盘。GND PCB焊盘应可靠地连接到PCB中的GND层，以实现最佳的电性能和热性能。封装未提供单独的GND引脚。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

汽车应用级产品

以下型号的生产工艺受到严格控制，以满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的产品技术规格部分。只有表63所示的汽车应用级产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

表63. 车用产品

型号 ¹	温度范围 ²	RAM	处理器 指令速率 (最大值)	封装描述	封装选项
AD21488WBSWZ4xx	–40°C至+85°C	3 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
AD21488WBSWZ4Bxx	–40°C至+85°C	3 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
AD21489WBSWZ4xx	–40°C至+85°C	5 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
AD21489WBSWZ4Bxx	–40°C至+85°C	5 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2

¹Z = 符合RoHS标准的器件。
²参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第17页的工作条件。

ADSP-21483/ADSP-21486/ADSP-21487/ADSP-21488/ADSP-21489

订购指南

型号 ^{1, 2, 3}	温度范围 ⁴	RAM	处理器指令速率 (最大值)	封装描述	封装选项
ADSP-21483KSWZ-2B	0°C至+70°C	3 Mbit	300 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21483KSWZ-3B	0°C至+70°C	3 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21483KSWZ-4B	0°C至+70°C	3 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21486KSWZ-2A	0°C至+70°C	5 Mbit	300 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21486KSWZ-2B	0°C至+70°C	5 Mbit	300 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21486KSWZ-2AB	0°C至+70°C	5 Mbit	300 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21486KSWZ-2BB	0°C至+70°C	5 Mbit	300 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21486KSWZ-3A	0°C至+70°C	5 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21486KSWZ-3B	0°C至+70°C	5 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21486KSWZ-3AB	0°C至+70°C	5 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21486KSWZ-3BB	0°C至+70°C	5 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21486KSWZ-4A	0°C至+70°C	5 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21486KSWZ-4AB	0°C至+70°C	5 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21487KSWZ-2B	0°C至+70°C	5 Mbit	300 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21487KSWZ-2BB	0°C至+70°C	5 Mbit	300 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21487KSWZ-3B	0°C至+70°C	5 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21487KSWZ-3BB	0°C至+70°C	5 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21487KSWZ-4B	0°C至+70°C	5 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21488BSWZ-3A	-40°C至+85°C	3 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21488KSWZ-3A	0°C至+70°C	3 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21488KSWZ-3A1	0°C至+70°C	3 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21488KSWZ-3B	0°C至+70°C	3 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21488BSWZ-3B	-40°C至+85°C	3 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21488KSWZ-4A	0°C至+70°C	3 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21488BSWZ-4A	-40°C至+85°C	3 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21488KSWZ-4B	0°C至+70°C	3 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21488BSWZ-4B	-40°C至+85°C	3 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21489KSWZ-3A	0°C至+70°C	5 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21489BSWZ-3A	-40°C至+85°C	5 Mbit	350 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21489KSWZ-3B	0°C至+70°C	5 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21489BSWZ-3B	-40°C至+85°C	5 Mbit	350 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21489KSWZ-4A	0°C至+70°C	5 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21489BSWZ-4A	-40°C至+85°C	5 Mbit	400 MHz	100引脚 LQFP_EP	SW-100-2
ADSP-21489KSWZ-4B	0°C至+70°C	5 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2
ADSP-21489BSWZ-4B	-40°C至+85°C	5 Mbit	400 MHz	176引脚 LQFP_EP	SW-176-2

¹ Z = 符合RoHS标准的器件。

² ADSP-21483、ADSP-21486和ADSP-21487型号提供工厂编程的ROM，它包含Dolby Labs和DTS的最新多声道音频解码及后处理算法。ROM内容可能随芯片版本和产品版本而异。详细信息请访问www.analog.com。

³ ADSP-21488KSWZ-3A1包含一个-140 dB采样速率转换器。

⁴ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第17页的工作条件。

