



OPA161x SoundPlus™ 高性能、双极型输入音频运算放大器

1 特性

- 出色音质
- 超低噪声：1kHz 时为 $1.1\text{nV}/\sqrt{\text{Hz}}$
- 超低失真：
1kHz 时为 0.000015%
- 高压摆率：27V/ μs
- 高带宽：40MHz ($G = +1$)
- 高开环增益：130dB
- 单位增益稳定
- 低静态电流：
每通道 3.6mA
- 轨到轨输出
- 宽电源电压范围： $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$
- 提供单通道和双通道两种型号

2 应用

- 专业音频设备
- 麦克风前置放大器
- 模数混合控制台
- 播音室设备
- 音频测试和测量
- 高端 A/V 接收器

3 概述

OPA1611（单通道）和 OPA1612（双通道）双极型输入运算放大器在 1kHz 时可实现很低的噪声密度 ($1.1\text{nV}/\sqrt{\text{Hz}}$) 和超低失真 (0.000015%)。OPA1611 和 OPA1612 在 2-k Ω 负载下能够提供摆幅在距离电源轨 600mV 的范围内的轨到轨输出，这有助于实现动态范围最大化。此外，这些器件还具有 $\pm 30\text{mA}$ 高输出驱动能力。

这些器件支持 $\pm 2.25\text{V}$ 到 $\pm 18\text{V}$ 的宽电源电压范围，每通道电源电流仅为 3.6mA。OPA1611 与 OPA1612 运算放大器的单位增益稳定，在宽范围负载条件下可保持出色的动态性能。

双通道型号具有完全独立的电路，即便在过驱或过载时也可以实现通道间最低串扰和零交互。

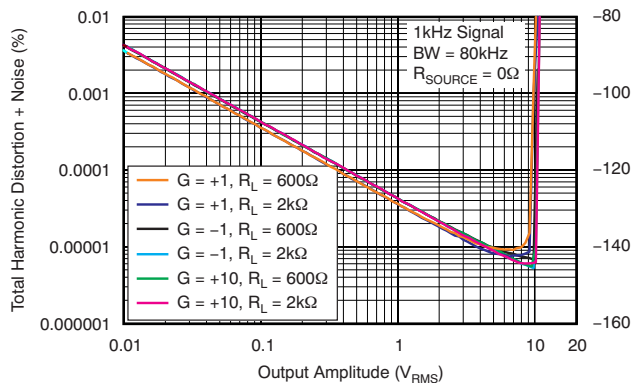
OPA1611 采用小外形尺寸集成电路 (SOIC)-8 封装，OPA1612 采用小外形尺寸无引线 (SON)-8 封装。这些器件额定工作温度范围为 -40°C 至 $+85^\circ\text{C}$ 。

器件信息⁽¹⁾

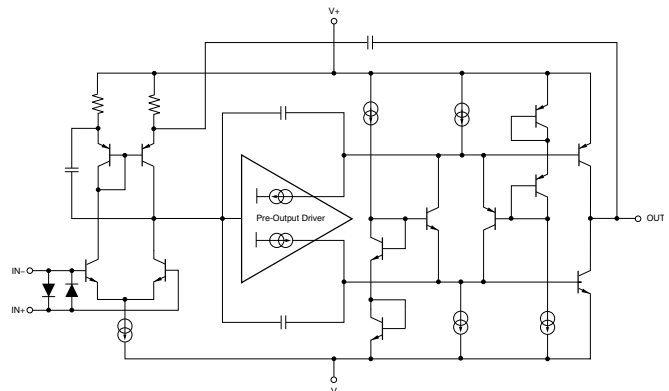
器件型号	封装	封装尺寸 (标称值)
OPA1611	SOIC (8)	4.90mm x 3.91mm
OPA1612	SOIC (8)	4.90mm x 3.91mm
	SON (8)	3.00mm x 3.00mm

(1) 如需了解所有可用封装，请见数据表末尾的可订购产品附录。

THD+N 比与输出幅值间的关系



功能方框图



目录

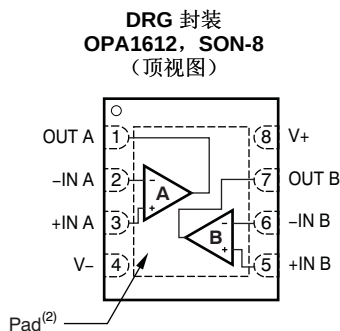
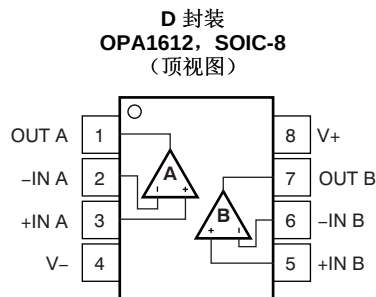
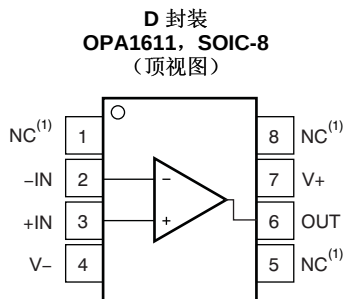
1	特性	1	8.1	应用信息	15
2	应用	1	8.2	噪声性能	15
3	概述	1	8.3	总谐波失真测定	17
4	修订历史	2	8.4	容性负载	17
5	引脚配置和功能描述	3	8.5	应用电路	18
6	技术规格	4	9	电源相关建议	19
6.1	绝对最大额定值	4	10	布局布线	20
6.2	操作参数	4	10.1	布局布线指南	20
6.3	建议的工作条件	4	10.2	布局示例	20
6.4	电性能特性: $V_S = \pm 2.25V$ 至 $\pm 18V$	5	11	器件和文档支持	21
6.5	典型特性	7	11.1	文档支持	21
7	详细说明	12	11.2	相关链接	21
7.1	概要	12	11.3	商标	21
7.2	功能框图	12	11.4	静电放电警告	21
7.3	特性描述	12	11.5	术语表	21
8	应用和实施	15	12	机械、封装和可订购信息	21

4 修订历史

Changes from Revision B (July 2011) to Revision C	Page
• 已将格式更改为符合最新的数据表标准; 添加了新内容并移动了现有部分	1
• 已将 SON-8 (DRG) 封装添加至数据表	1
• 通篇将 SO 改为 SOIC 以匹配行业标准术语	1
• 添加了首页曲线	1
• 为方框图添加了标题	1
• 删除了封装信息表; 请参见封装选项附录	3

Changes from Revision A (August 2009) to Revision B	Page
• 已修订特性列表条目	1
• 更新了首页图表	1
• 已添加 $f = 1kHz$ 时输入电压噪声密度的最大规范值	5
• 更正了电性能特性中引脚 1 的错别字	5
• 已修订图 4	7
• 更新了图 7	7
• 已更改图 9	7
• 已修订图 11	7
• 更正了图 15 中的错别字	8
• 更新了图 29	12
• 修订了电气过载部分第四段	13
• 已修订图 34 中的表格	17

5 引脚配置和功能描述



(1) NC 代表没有内部连接。引脚可保持浮空，也可连接 (V-) 和 (V+) 之间的任何电压。

(2) 芯片散热板位于下方；将芯片散热板连接至 V-。焊接散热板可改善散热情况并实现特定性能。

引脚功能

名称	引脚			I/O	说明
	D (OPA1611)	D (OPA1612)	DRG (OPA1612)		
-IN	2	—	—	I	反相输入
+IN	3	—	—	I	同相输入
-IN A	—	2	2	I	反相输入，通道 A
+IN A	—	3	3	I	同相输入，通道 A
-IN B	—	6	6	I	反相输入，通道 B
+IN B	—	5	5	I	同相输入，通道 B
NC	1、5、8	—	—	—	无内部连接
OUT	6	—	—	O	输出
OUT A	—	1	1	O	输出，通道 A
OUT B	—	7	7	O	输出，通道 B
V-	4	4	4	—	负电源（最低）
V+	7	8	8	—	正电源（最高）

6 技术规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压 $V_S = (V+) - (V-)$		40	V
输入电压	$(V-) - 0.5$	$(V+) + 0.5$	V
输入电流（除电源引脚外的全部引脚）		±10	mA
输出短路 ⁽²⁾		连续	
工作温度 (T_A)	-55	+125	°C
结温 (T_J)		200	°C

(1) 超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。

(2) 短接到 $V_S/2$ （在对称双电源供电的情况下，即接地），每个封装一个放大器。

6.2 操作参数

			最小值	最大值	单位
T_{stg}	存储温度范围		-65	+150	°C
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	-3000	3000	V
		组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	-1000	1000	
		机器放电模式 (MM)	-200	200	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风条件下的工作温度范围内（除非另有说明）

	最小值	标称值	最大值	单位
电源电压 $(V+ - V-)$	4.5 (±2.25)		36 (±18)	V
额定温度范围	-40		+85	°C

6.4 电性能特性: $V_S = \pm 2.25V$ 至 $\pm 18V$

$T_A = +25^\circ C$ 且 $R_L = 2k\Omega$, 除非另外注明。 $V_{CM} = V_{OUT}$ = 中间电压, 除非另外注明。

参数	测试条件	最小值	典型值	最大值	单位
音频性能					
THD+N 总谐波失真 + 噪声	$G = +1, f = 1kHz, V_O = 3V_{RMS}$	0.000015%			
		-136			dB
IMD 互调失真	SMPTE/DIN 双频, 4:1 (60Hz 和 7kHz), $G = +1, V_O = 3V_{RMS}$	0.000015%			
		-136			dB
	DIM 30 (3kHz 方波和 15kHz 正弦波), $G = +1, V_O = 3V_{RMS}$	0.000012%			
		-138			dB
	CCIF 双频 (19kHz 和 20kHz), $G = +1, V_O = 3V_{RMS}$	0.000008%			
		-142			dB
频率响应					
GBW 增益带宽积	$G = 100$		80		MHz
	$G = 1$		40		MHz
SR 压摆率	$G = -1$		27		V/ μs
全功率带宽 ⁽¹⁾	$V_O = 1V_{PP}$		4		MHz
过载恢复时间	$G = -10$		500		ns
通道分离 (双通道)	$f = 1kHz$		-130		dB
噪声					
输入电压噪声	$f = 20Hz$ 至 $20kHz$		1.2		μV_{PP}
e_n 输入电压噪声密度 ⁽²⁾	$f = 10Hz$		2		$nV/\sqrt{Hz}$
	$f = 100Hz$		1.5		$nV/\sqrt{Hz}$
	$f = 1kHz$		1.1	1.5	$nV/\sqrt{Hz}$
i_n 输入电流噪声密度	$f = 10Hz$		3		$pA/\sqrt{Hz}$
	$f = 1kHz$		1.7		$pA/\sqrt{Hz}$
失调电压					
V_{OS} 输入失调电压	$V_S = \pm 15V$		± 100	± 500	μV
dV_{OS}/dT V_{OS} 温漂 ⁽²⁾	$T_A = -40^\circ C$ 至 $+85^\circ C$		1	4	$\mu V/^\circ C$
PSRR 电源抑制比	$V_S = \pm 2.25V$ 至 $\pm 18V$		0.1	1	$\mu V/V$
输入偏置电流					
I_B 输入偏置电流	$V_{CM} = 0V$		± 60	± 250	nA
	$V_{CM} = 0V$, 仅限 DRG 封装		± 60	± 300	nA
全温度范围 ⁽²⁾ I_B	$T_A = -40^\circ C$ 至 $+85^\circ C$			350	nA
I_{OS} 输入失调电流	$V_{CM} = 0V$		± 25	± 175	nA
输入电压范围					
V_{CM} 共模电压范围		$(V-) + 2$		$(V+) - 2$	V
CMRR 共模抑制比	$(V-) + 2V \leq V_{CM} \leq (V+) - 2V$	110	120		dB
输入阻抗					
差分			20k 8		Ω pF
共模			10 ⁹ 2		Ω pF

(1) 全功率带宽 = $SR / (2\pi \times V_P)$, 其中 SR = 压摆率。

(2) 根据设计和特性确定。

OPA1611, OPA1612

ZHCSD7C – JULY 2009 – REVISED AUGUST 2014

www.ti.com.cn
电性能特性: $V_S = \pm 2.25V$ 至 $\pm 18V$ (接下页)
 $T_A = +25^\circ C$ 且 $R_L = 2k\Omega$, 除非另外注明。 $V_{CM} = V_{OUT} =$ 中间电压, 除非另外注明。

参数	测试条件	最小值	典型值	最大值	单位
开环增益					
A _{OL} 开环电压增益	(V−) + 0.2V ≤ V _O ≤ (V+) − 0.2V, R _L = 10kΩ	114	130		dB
	(V−) + 0.6V ≤ V _O ≤ (V+) − 0.6V, R _L = 2kΩ	110	114		dB
输出					
V _{OUT} 电压输出	R _L = 10kΩ, A _{OL} ≥ 114dB	(V−) + 0.2	(V+) − 0.2		V
	R _L = 2kΩ, A _{OL} ≥ 110dB	(V−) + 0.6	(V+) − 0.6		V
I _{OUT} 输出电流		请参阅图 27			mA
Z _O 开环输出阻抗		请参见图 28			Ω
I _{SC} 短路电流		+55			mA
		−62			mA
C _{LOAD} 容性负载驱动		请见典型特征			pF
电源					
V _S 额定电压		±2.25		±18	V
I _Q 静态电流（每通道）	I _{OUT} = 0A		3.6	4.5	mA
	全温度范围 ⁽²⁾ I _Q			5.5	mA
温度范围					
	额定温度范围	−40		+85	°C
	工作温度范围	−55		+125	°C
θ _{JA} 热阻, SOIC-8			150		°C/W

6.5 典型特性

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, 除非另外注明。

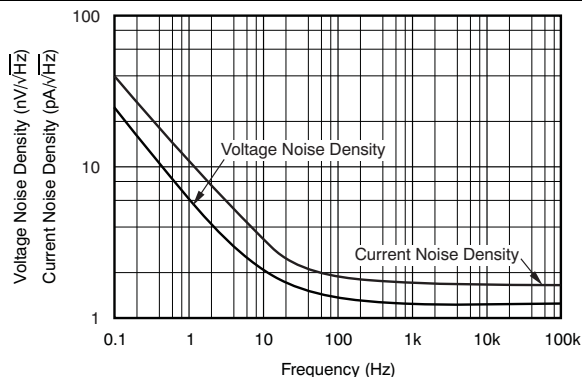


图 1. 输入电压噪声密度和输入电流噪声密度与频率间的关系

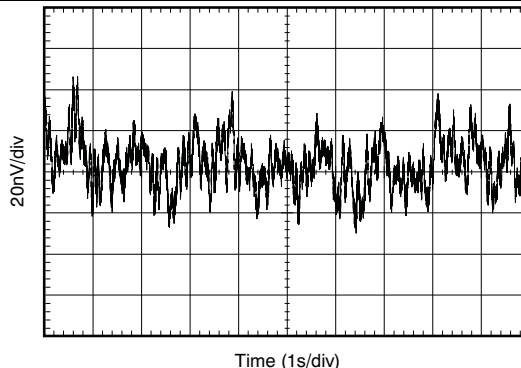


图 2. 0.1Hz 至 10Hz 噪声

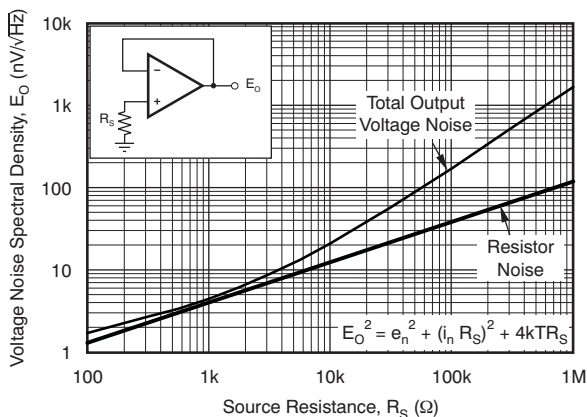


图 3. 电压噪声与源阻抗间的关系

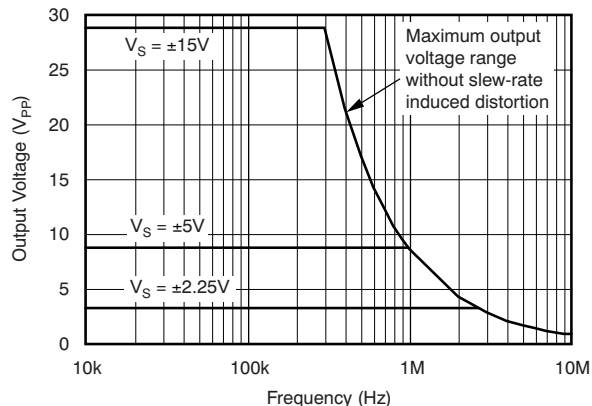


图 4. 最大输出电压与频率间的关系

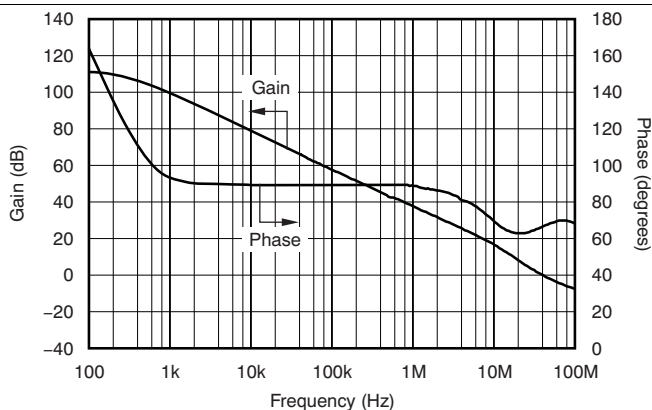


图 5. 增益和相位与频率间的关系

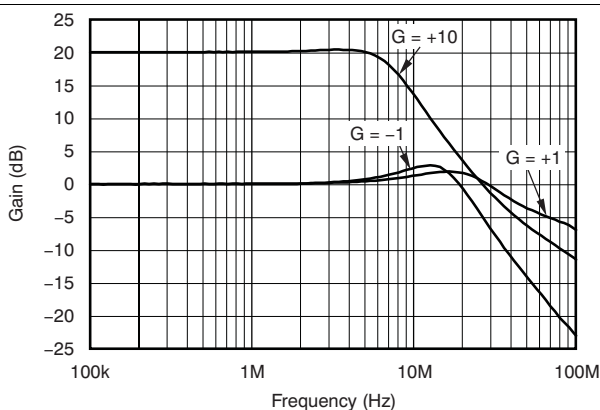


图 6. 闭环增益与频率间的关系

典型特性 (接下页)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, 除非另外注明。

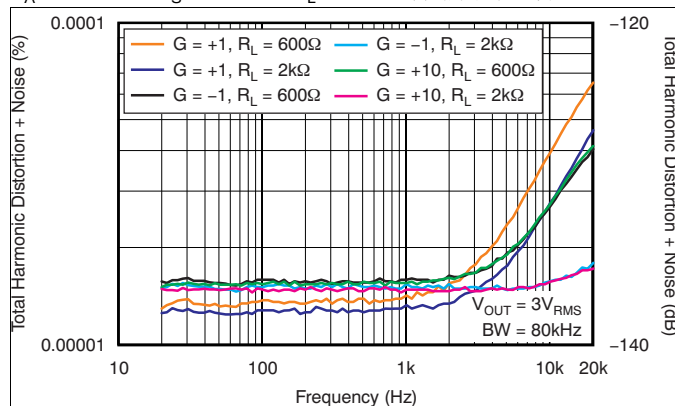


图 7. THD+N 比与频率间的关系

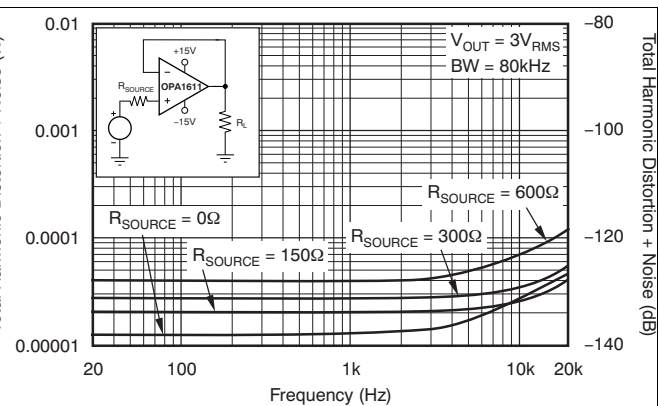


图 8. THD+N 比与频率间的关系

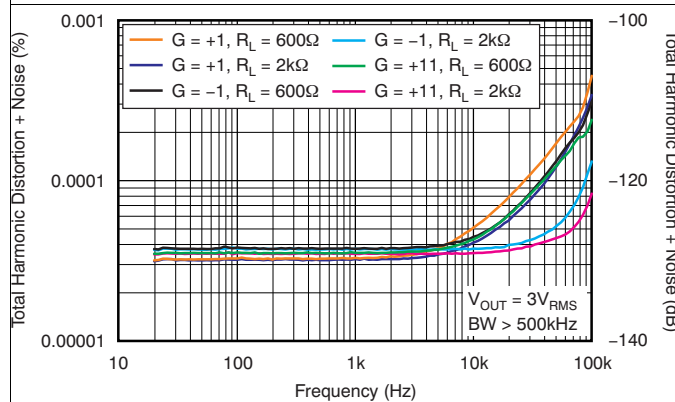


图 9. THD+N 比与频率间的关系

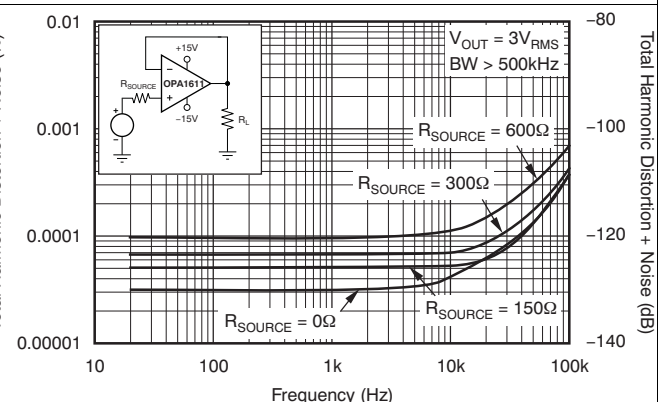


图 10. THD+N 比与频率间的关系

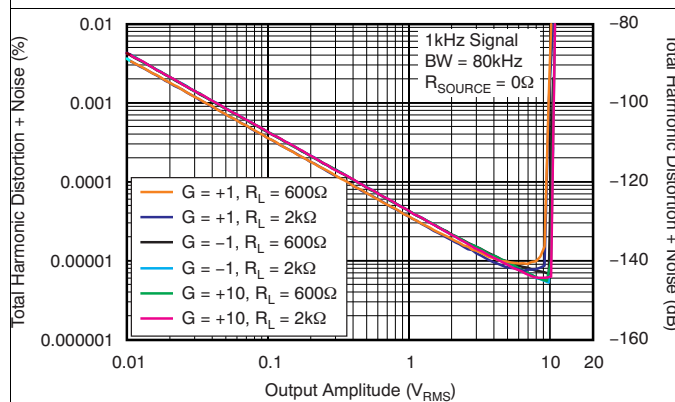


图 11. THD+N 比与输出幅值间的关系

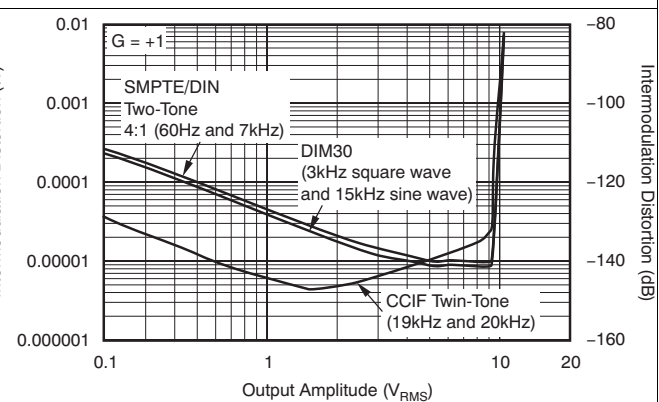


图 12. 互调失真与输出幅值间的关系

典型特性 (接下页)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, 除非另外注明。

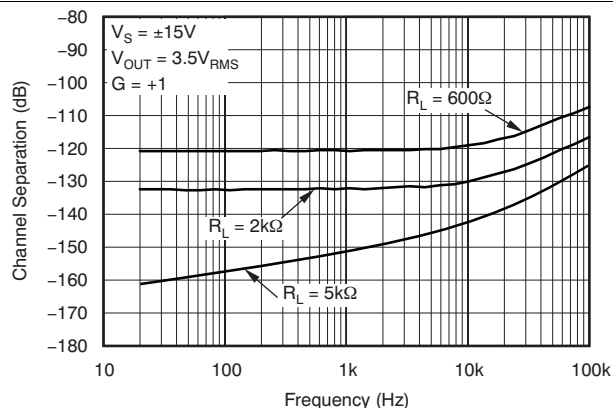


图 13. 通道分离与频率间的关系

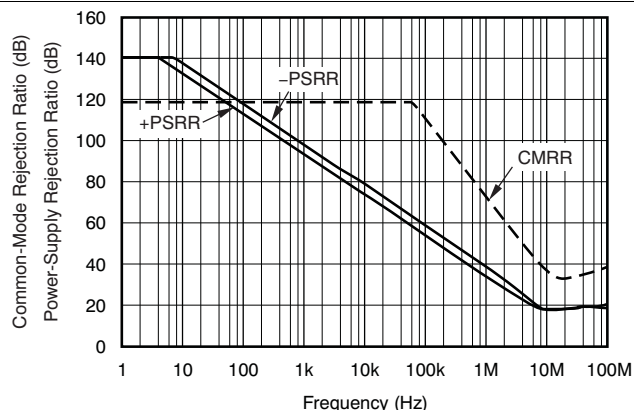


图 14. CMRR 和 PSRR 与频率间的关系
(指输入)

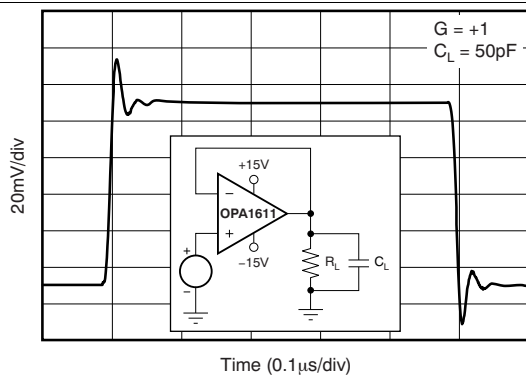


图 15. 小信号阶跃响应 (100mV)

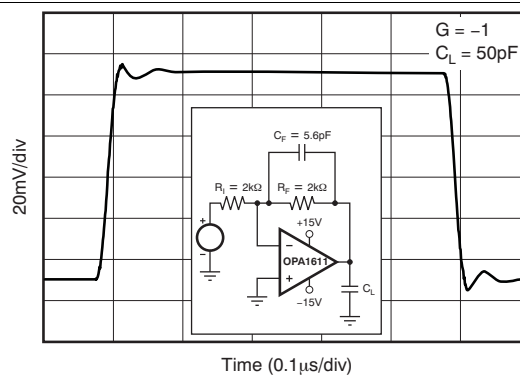


图 16. 小信号阶跃响应 (100mV)

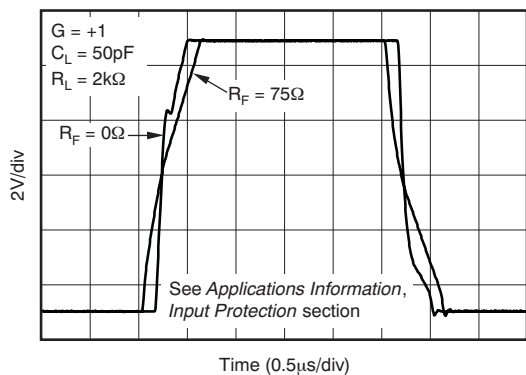


图 17. 大信号阶跃响应

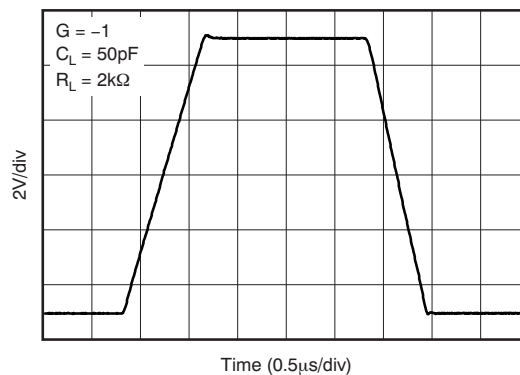


图 18. 大信号阶跃响应

OPA1611, OPA1612

ZHCSD7C – JULY 2009 – REVISED AUGUST 2014

www.ti.com.cn

典型特性 (接下页)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, 除非另外注明。

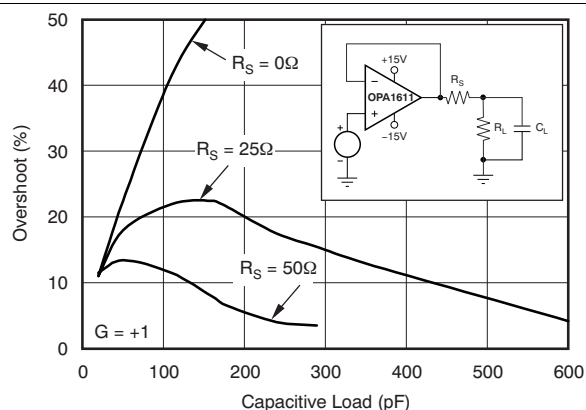


图 19. 小信号过冲与容性负载间的关系
(100mV 输出步长)

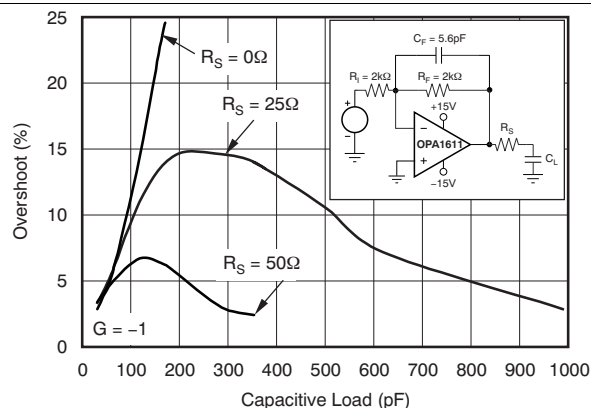


图 20. 小信号过冲与容性负载间的关系
(100mV 输出步长)

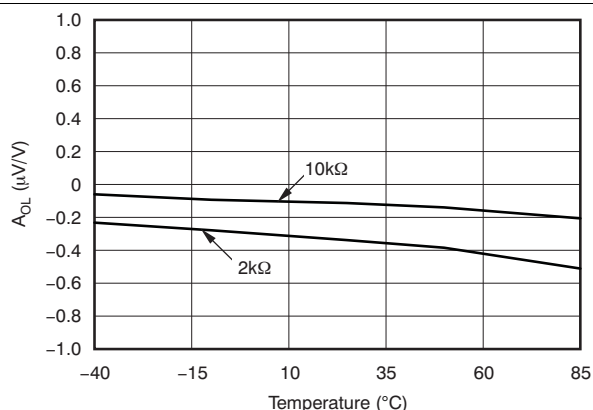


图 21. 开环增益与温度间的关系

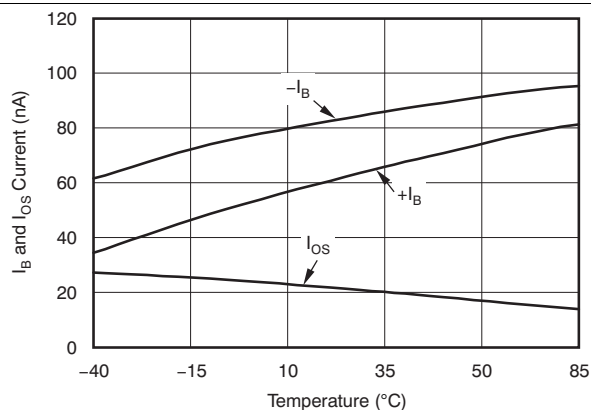


图 22. I_B 和 I_{OS} 与温度间的关系

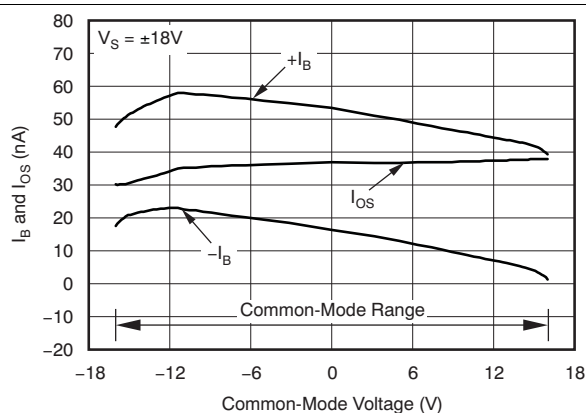


图 23. I_B 和 I_{OS} 与共模电压间的关系

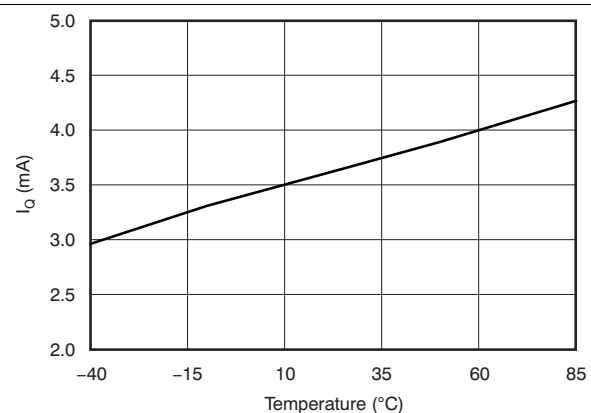


图 24. 静态电流与温度间的关系

典型特性 (接下页)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 2\text{k}\Omega$, 除非另外注明。

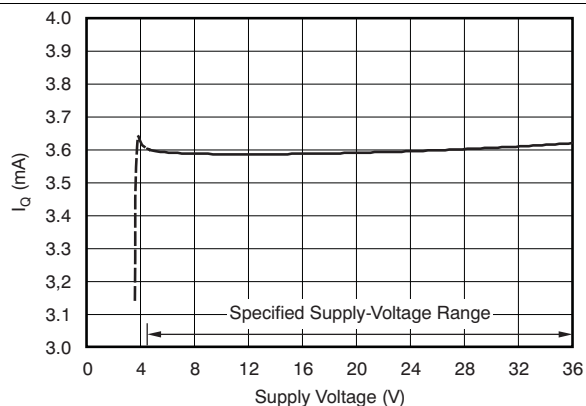


图 25. 静态电流与电源电压间的关系

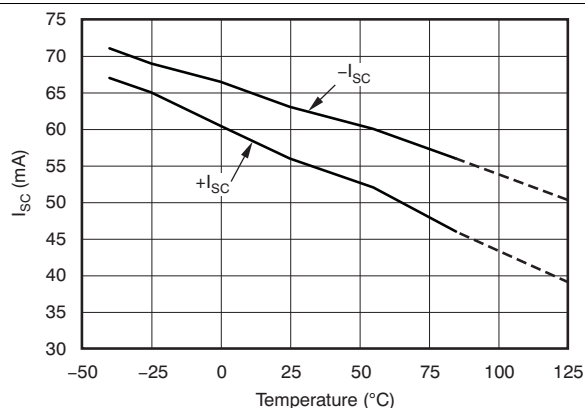


图 26. 短路电流与温度间的关系

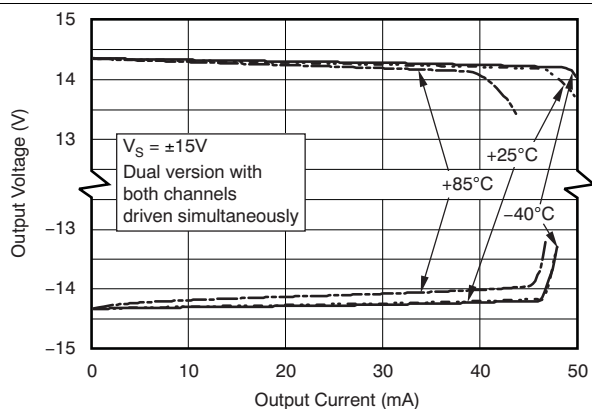


图 27. 输出电压与输出电流间的关系

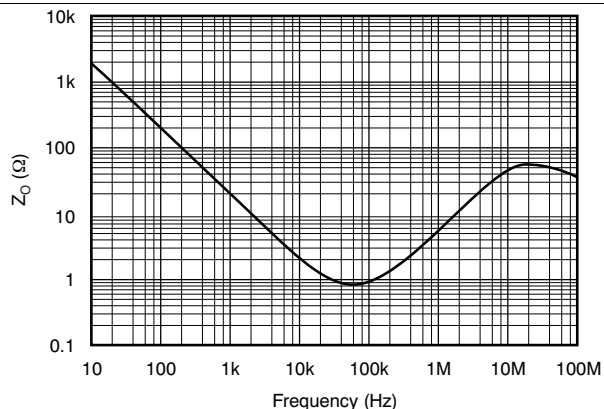


图 28. 开环输出阻抗与频率间的关系

7 详细说明

7.1 概要

OPA161x 系列双极型输入运算放大器在 1kHz 时可实现很低的噪声密度 ($1.1\text{nV}/\sqrt{\text{Hz}}$) 和超低失真 (0.000015%)。在 2-k Ω 负载下能够提供摆幅在距离电源轨 600mV 的范围内的轨到轨输出, 这有助于实现动态范围最大化。此外, 这些器件还具有 $\pm 40\text{mA}$ 高输出驱动能力。支持 $\pm 2.25\text{V}$ 到 $\pm 18\text{V}$ 的宽电源电压范围, 每通道电源电流仅为 3.6mA, 这对于 5V 系统和 36V 音频应用都非常适用。OPA1611 与 OPA1612 运算放大器的单位增益稳定, 在宽范围负载条件下可保持出色的动态性能。

7.2 功能框图

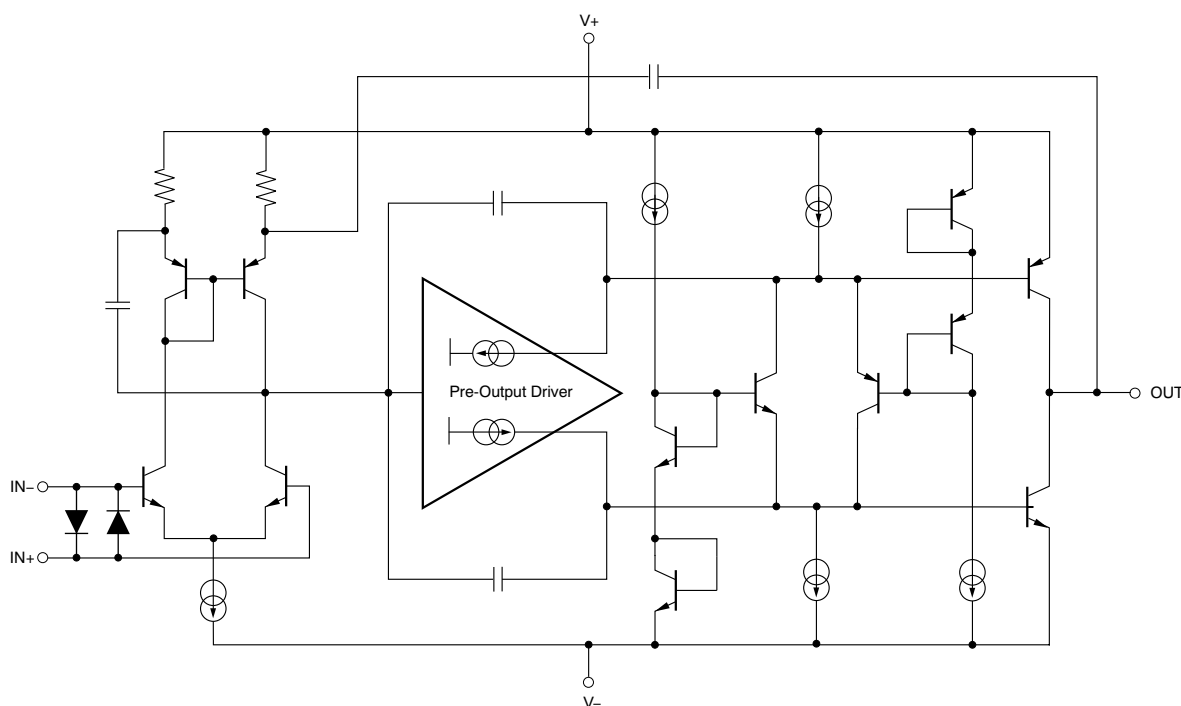


图 29. OPA1611 简化电路原理图

7.3 特性描述

7.3.1 功耗

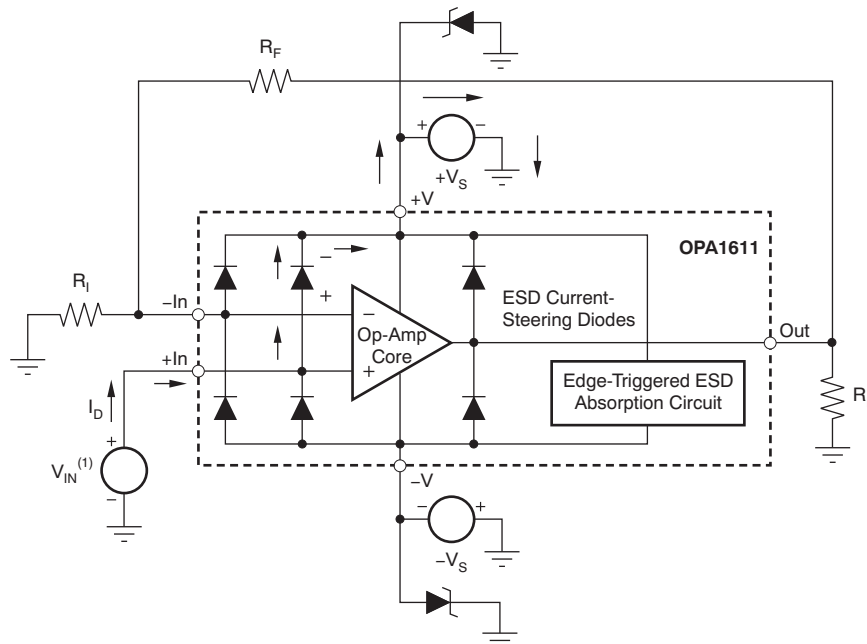
OPA1611 和 OPA1612 系列运算放大器能够利用高达 $\pm 18\text{V}$ 的电源电压驱动 2k Ω 负载。高电压下工作时内部功耗将增大。OPA1611 和 OPA1612 系列运算放大器采用铜引线框架结构, 相比采用传统材料的结构, 散热性能得到改善。其电路板布局还有助于尽量缓解结温上升。加粗铜走线相当于附加散热器, 可帮助散热。相比直接使用插槽连接器件, 将器件焊接到电路板可以进一步缓解温度上升。

7.3.2 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题的重点在于器件输入, 但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外, 这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

特性描述 (接下页)

能够充分了解 ESD 基本电路及其与电气过载事件的关联会有所帮助。图 30 所示为 OPA161x 系列器件中的 ESD 电路（虚线区域）。ESD 保护电路中涉及多个钳位二极管，这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器内的吸收器件。这种保护电路在电路正常工作时处于非活动状态。



(1) $V_{IN} = +V_S + 500\text{mV}$.

图 30. 等效内部 ESD 电路及其与典型电路应用的关系

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路可围绕运算放大器核心提供电流路径，防止对核心造成损害。此保护电路吸收的能量将以热量形式耗散。

当 ESD 电压覆盖两个或多个放大器器件引脚时，电流将流经一个或多个钳位二极管。根据电流所选路径，吸收器件可能激活。OPA1611 内的吸收器件的触发条件是电源引脚上外加短时 ESD 电压脉冲。触发后，吸收器件将迅速激活并将 ESD 脉冲稳定在安全电压水平。

当运算放大器接入图 30 所示的这类电路后，ESD 保护组件将保持非活动状态，并且不参与应用电路运行。不过，如果施加的电压超过某个指定引脚的工作电压范围，可能会引起一些问题。若出现这种情况，部分内部 ESD 保护电路处于偏置打开状态并传导电流。此类电流都将流经钳位二极管路径，但很少涉及吸收器件。

图 30 显示了一个具体示例，其中输入电压 V_{IN} 超出正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$ 。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范中建议应用将输入电流限制为 10mA。

如果电源无法吸收电流， V_{IN} 就会将电流拉至运算放大器，然后将其用作正电源。这种情况比较危险，因为这个电压可能会升高到超出运算放大器的绝对最大额定值。在极端但罕见的情况下，吸收器件可在施加了 $+V_S$ 和 $-V_S$ 时触发。如果出现这种情况， $+V_S$ 和 $-V_S$ 电源间就会建立直接电流路径。此时吸收器件的功耗将会立刻超限，巨大的内部热量将损坏运算放大器。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入引脚施加输入信号，放大器如何响应。同样，相关结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源表现为高阻态，那么运算放大器电源电流可由输入源经电流钳位二极管提供。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

特性描述 (接下页)

如果不确定电源对该电流的吸收能力，可在电源引脚外接齐纳二极管；请参见图 30。齐纳电压要选择好，这样二极管就不会在正常工作期间被导通。但齐纳二极管的电压必须足够低，以便齐纳二极管能够在电源引脚超过安全工作电压水平时导通。

7.3.3 工作电压

OPA161x 系列运算放大器由 $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$ 电源供电运行，并保持出色性能。OPA161x 系列器件支持的工作电源压差最低为 $+4.5\text{V}$ ，最高为 $+36\text{V}$ 。不过，有些应用不要求正负输出电压的摆幅相同。OPA161x 系列器件就不要求它的正负供电电源相等。例如，正电源可设为 $+25\text{V}$ ，而负电源可设为 -5V 。

但无论何时，共模电压都必须保持在指定范围内。另外，一些关键指标是在额定温度范围 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 内有保证的。典型特性介绍了随工作电压或温度变化而变化的一些参数。

7.3.4 输入保护

OPA1611 和 OPA1612 的输入引脚采用反向并联二极管提供保护，避免因差分电压过大而受损，如图 31 所示。在大部分电路应用中，输入保护电路并不产生实际影响。但在低增益或 $G = +1$ 的电路中，快速变化的输入信号会导致这些二极管正向偏置，因为放大器输出对这种输入快速变化的响应速度不足。所产生的效果如典型特性中的图 17 所示。如果输入信号的变化速度足以建立这种正向偏置条件，那么输入信号电流必须限定为不高于 10mA 。如果未对输入信号电流进行限定，则可使用输入串联电阻 (R_i) 或反馈电阻 (R_F) 来限制信号输入电流。该输入串联电阻会降低 OPA1611 的低噪声性能，噪声性能部分对其进行了探讨。图 31 所示为同时使用限流输入电阻和反馈电阻的配置示例。

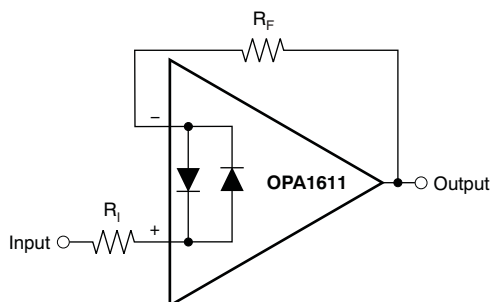


图 31. 脉冲操作

8 应用和实施

8.1 应用信息

OPA1611 和 OPA1612 均为单位增益稳定的精密运算放大器，噪声极低且不会出现输出反相。在采用噪声电源或高阻抗电源的应用中，去耦电容需靠近器件电源引脚。大多数情况下，0.1μF 电容即可满足需要。

8.2 噪声性能

图 32 所示为采用单位增益配置的运算放大器在使用不同源阻抗时的总电路噪声（无反馈电阻网络，因此不产生额外的噪声）。

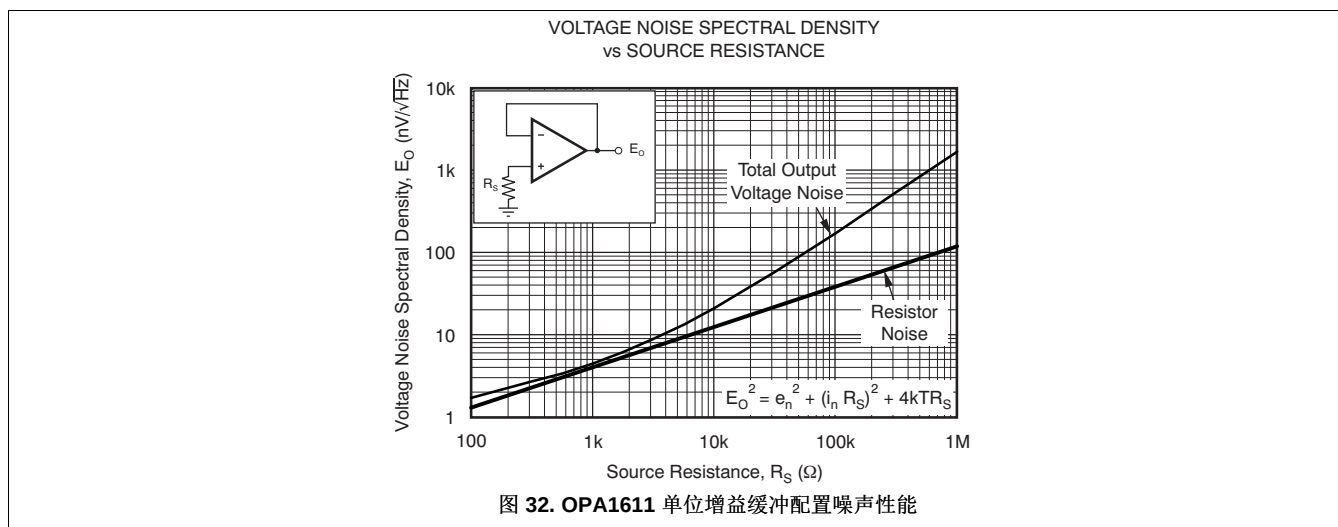
图中为计算得出的 OPA1611（GBW = 40MHz，G = +1）总电路噪声。运算放大器本身能够产生电压噪声分量和电流噪声分量。电压噪声通常按失调电压时变分量建模。电流噪声则按输入偏置电流时变分量建模，并根据不同的源阻抗生成一个噪声电压分量。因此，特定应用中运算放大器的最低噪声取决于源阻抗。源阻抗较低时，电流噪声可忽略不计，电压噪声占主导。OPA161x 系列运算放大器的电压噪声低，是源阻抗低于 1kΩ 应用的理想选择。

8.2.1 详细设计流程

图 32 所示为总电路噪声计算公式，相关参数如下：

- e_n = 电压噪声
- i_n = 电流噪声
- R_S = 源阻抗
- k = 玻尔兹曼常数 = 1.38×10^{-23} J/K
- T = 开氏温度 (K)

8.2.2 应用曲线



8.2.3 基本噪声计算

低噪声运算放大器的设计必须仔细考量多种噪声来源：信号源噪声、运算放大器产生的噪声以及反馈网络电阻产生的噪声。电路总噪声是所有噪声分量的平方和根植。

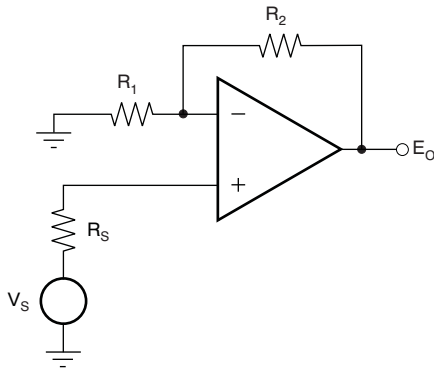
源阻抗的电阻部分产生的热噪声与电阻的方根成正比。图 32 绘出了该函数曲线。源阻抗通常为固定值；因此，需通过选择运算放大器和反馈电阻来最大限度降低总噪声的相应分量。

图 33 所示为采用增益配置的反相和同相运算放大器电路。在增益配置电路中，反馈网络电阻也会产生噪声。

噪声性能 (接下页)

运算放大器的电流噪声根据反馈电阻不同, 进而产生额外的噪声分量。一般可通过选择合适的反馈电阻值使这个噪声源降低至可以忽略。 以下为两种配置的总噪声计算公式。

Noise in Noninverting Gain Configuration



Noise at the output:

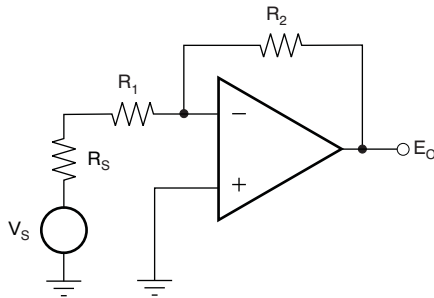
$$E_O^2 = \left(1 + \frac{R_2}{R_1} \right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2 + (i_n R_S)^2 \left(1 + \frac{R_2}{R_1} \right)^2$$

$$\text{Where } e_S = \sqrt{4kTR_S} \times \left(1 + \frac{R_2}{R_1} \right) = \text{thermal noise of } R_S$$

$$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1} \right) = \text{thermal noise of } R_1$$

$$e_2 = \sqrt{4kTR_2} = \text{thermal noise of } R_2$$

Noise in Inverting Gain Configuration



Noise at the output:

$$E_O^2 = \left(1 + \frac{R_2}{R_1 + R_S} \right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2$$

$$\text{Where } e_S = \sqrt{4kTR_S} \times \left(\frac{R_2}{R_1 + R_S} \right) = \text{thermal noise of } R_S$$

$$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1 + R_S} \right) = \text{thermal noise of } R_1$$

$$e_2 = \sqrt{4kTR_2} = \text{thermal noise of } R_2$$

对于 1kHz OPA161x 系列运算放大器, $e_n = 1.1\text{nV}/\sqrt{\text{Hz}}$, $i_n = 1.7\text{pA}/\sqrt{\text{Hz}}$ 。

图 33. 增益配置噪声计算

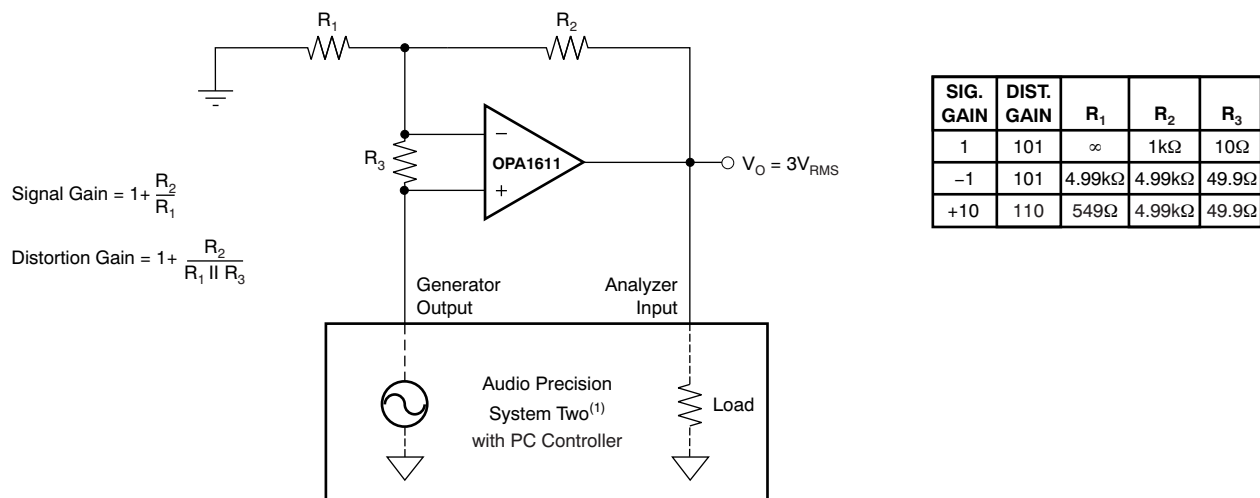
8.3 总谐波失真测定

OPA161x 系列运算放大器具有出色的低失真特性。驱动负载 $2\text{k}\Omega$ 时，整个音频范围（20Hz 到 20kHz）内的 THD+N 低于 0.00008%（ $G = +1$ ， $V_O = 3V_{\text{RMS}}$ ， $\text{BW} = 80\text{kHz}$ ），具体性能特点请参见图 7。

OPA1611 系列运算放大器的失真程度低于许多市售失真分析仪的测量本底值。不过，可通过特殊的测试电路（如图 34 所示）进一步提高测量能力。

运算放大器失真可理解为一个可以等效到输入端的内部误差源。图 34 所示电路导致运算放大器失真比运算放大器正常产生的失真高出 101 倍（约 40dB）。如果在标准同相放大器配置中额外添加 R_3 ，则会改变电路的反馈系数或噪声增益。闭环增益保持不变，但纠错反馈系数降低 101 倍，因此分辨率可提高 101 倍。注意，运算放大器上应用的输入信号和负载与没有增加 R_3 时的原反馈电路相同。选用较小的 R_3 值，确保最大限度降低其对失真测定的影响。

这一方法可通过在高增益/高频条件下重复测定来加以验证，此时测试设备应能够对该放大器的失真进行测定。本数据表中的数据是通过使用 Audio Precision System Two 系列的失真和噪声分析仪测定的，能够大幅简化这种重复测量工作。不过，也可以通过使用手动失真测量仪来实现这一测量方法。



(1) 有关测量带宽的更多信息，请参见图 7 到图 12。

图 34. 失真测试电路

8.4 容性负载

OPA1611 和 OPA1612 的动态特性已针对常见增益、负载和工作条件进行了优化。低闭环增益和高容性负载的组合会减少放大器的相位裕量并可导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现该隔离的最简单方法是在输出端串联一个小电阻（例如 $50\Omega R_S$ ）。

这个小串联电阻还能够在器件输出短路时防止功耗过高。图 19 和图 20 图示为小信号过冲与容性负载间的关系（不同 R_S 值）。另外请参见应用案例 AB-028，《反馈曲线图定义运算放大器交流性能》(SBOA015) 获取分析技术和应用电路的详细信息（可从 TI 网站下载）。

8.5 应用电路

图 35 所示是 OPA1611 作为运算放大器在专业音频耳机中的使用。该电路显示的是左侧立体声通道。驱动右侧立体声通道的电路与左侧相同。

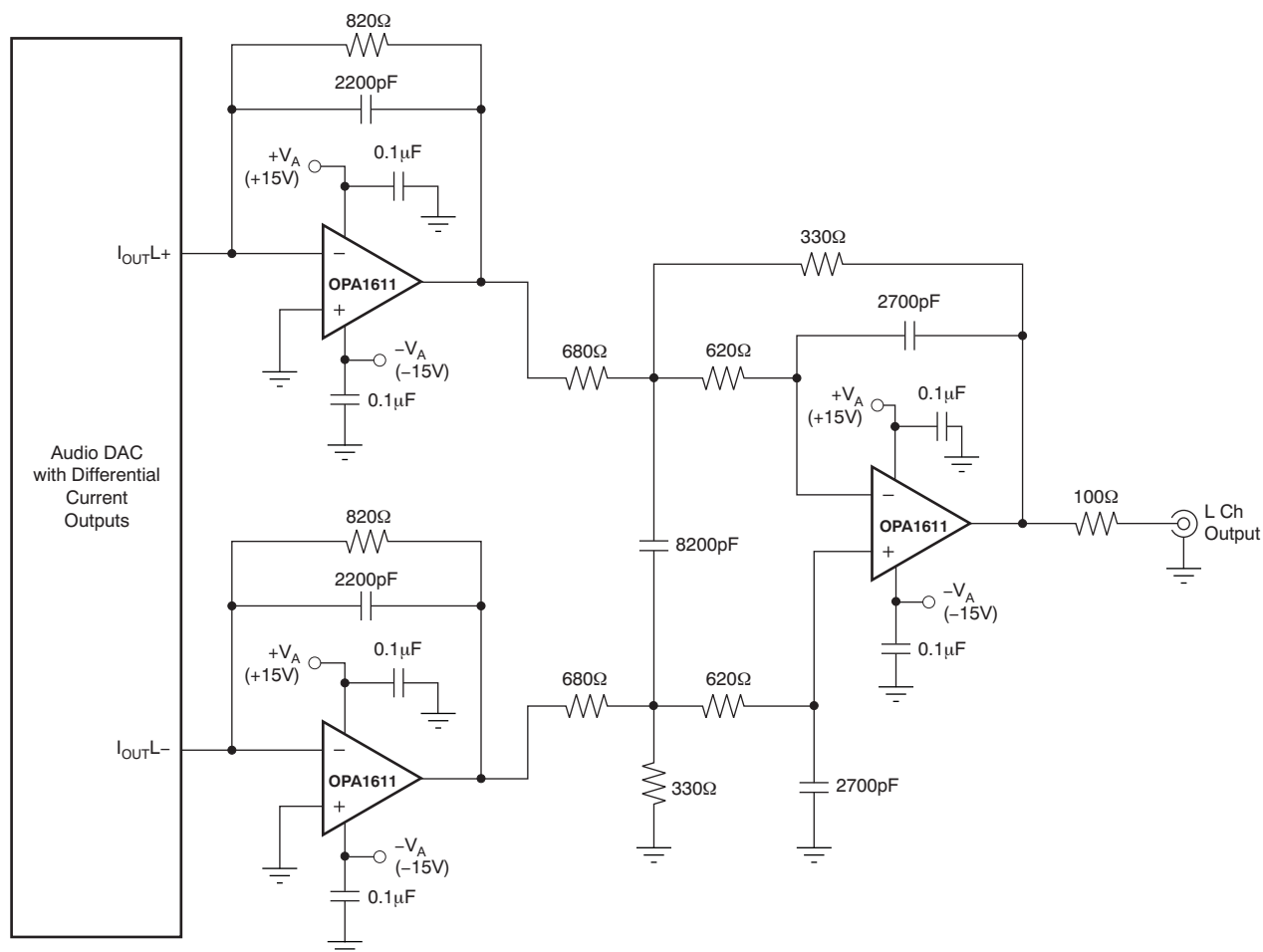


图 35. 音频数模转换器 (DAC) 后置滤波器 (I/V 转换器和低通滤波器)

9 电源相关建议

OPA161x 的额定工作电压范围是 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$)；许多技术规格的适用温度范围是 -40°C 至 $+85^{\circ}\text{C}$ 。[典型特性](#)部分列出了随工作电压或温度变化而发生明显变化的各个参数。

CAUTION

电源电压超过 40V 就会对器件造成永久损坏，请参见[绝对最大额定值](#)。

将 $0.1\mu\text{F}$ 旁路电容放在电源引脚附近可减少从噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容放置位置的详细信息，请参见[典型特性](#)部分。

10 布局布线

10.1 布局布线指南

为使器件表现出最佳工作性能，需采用效果较好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚及运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) $0.1\mu\text{F}$ 陶瓷旁路电容，放置位置尽量靠近器件。针对单电源应用， $V+$ 与接地端之间可以接入单个旁路电容。
- 最简单有效的噪声抑制方法是：将电路中的模拟部分和数字部分单独接地。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保数字接地和模拟接地间物理隔离，同时应留意接地电流。更多详细信息，请参见应用报告《电路板布局布线技巧》(SLOA089)。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果上述走线无法分离，可优先选择将敏感的走线与有噪声的走线交叉垂直，而非与之平行。
- 外部元件尽可能靠近器件放置。如图 36 所示，使 R_F 和 R_G 靠近反相输入可最大限度减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例

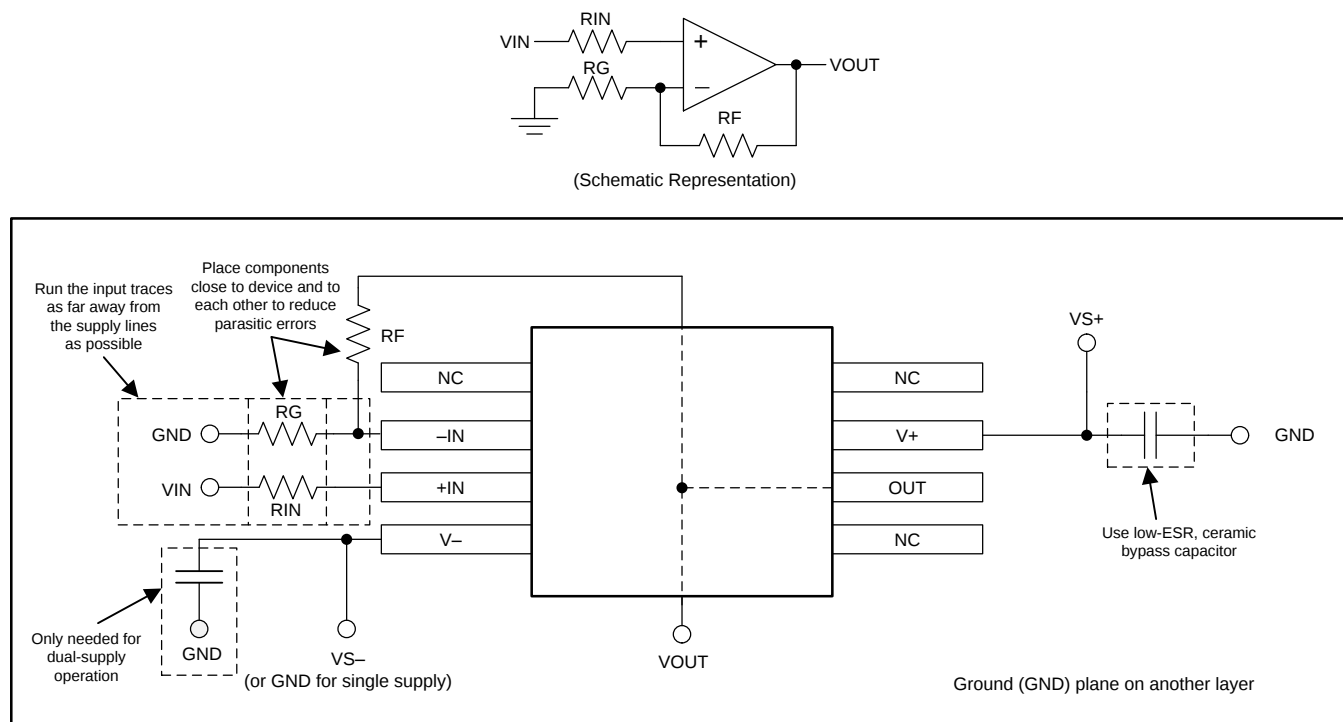


图 36. 同相配置运算放大器电路板布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

相关文档如下：

- 《反馈曲线图定义运算放大器交流性能》，[SBOA015](#)
- 《电路板布局布线技巧》，[SLOA089](#)

11.2 相关链接

以下表格列出了快速访问链接。范围包括技术文档、支持与社区资源、工具和软件，并且可以快速访问样片或购买链接。

表 1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持与社区
OPA1611	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA1612	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.3 商标

SoundPlus is a trademark of Texas Instruments, Inc.

All other trademarks are the property of their respective owners.

11.4 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.5 术语表

[SLYZ022](#) — TI 术语表。

这份术语表列出并解释术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA1611AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1611AID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1611AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1611AIDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1611AIDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1611AIDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1611A
OPA1612AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AIDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AIDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AIDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 1612A
OPA1612AIDRGR	Active	Production	SON (DRG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII
OPA1612AIDRGR.B	Active	Production	SON (DRG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII
OPA1612AIDRGRG4	Active	Production	SON (DRG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII
OPA1612AIDRGRG4.B	Active	Production	SON (DRG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII
OPA1612AIDRGT	Active	Production	SON (DRG) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII
OPA1612AIDRGT.B	Active	Production	SON (DRG) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OVII

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

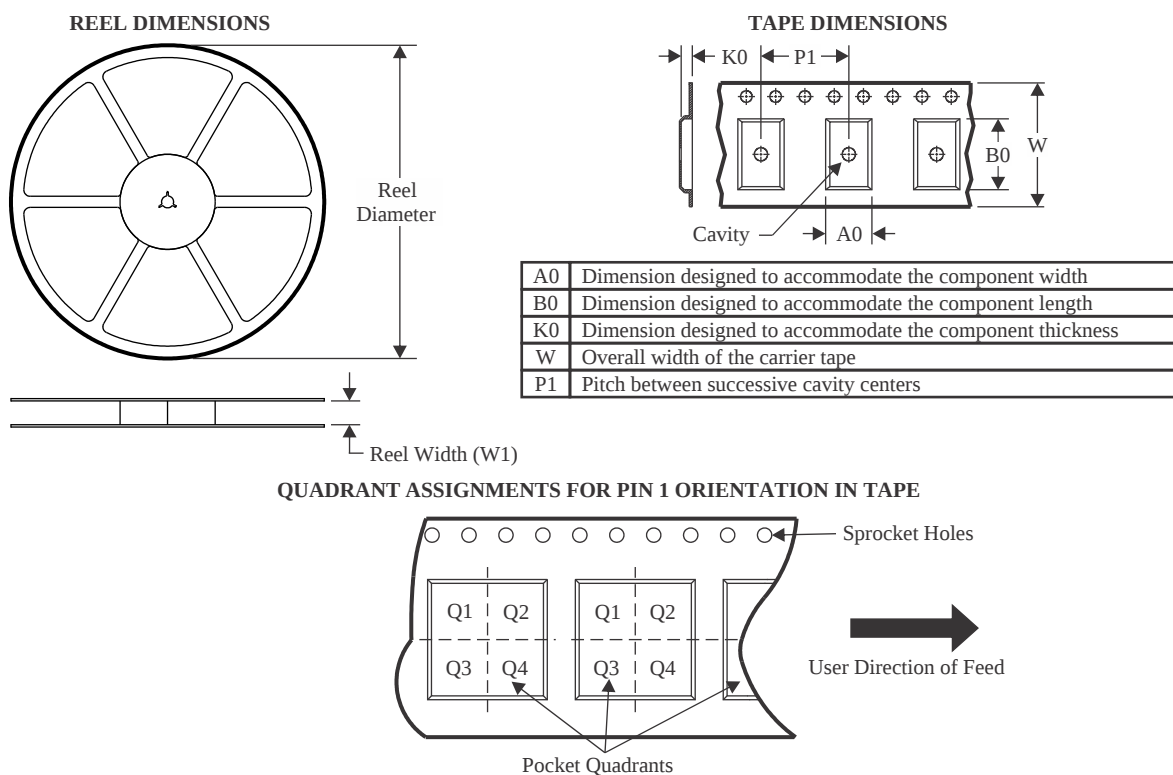
OTHER QUALIFIED VERSIONS OF OPA1612 :

- Automotive : [OPA1612-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

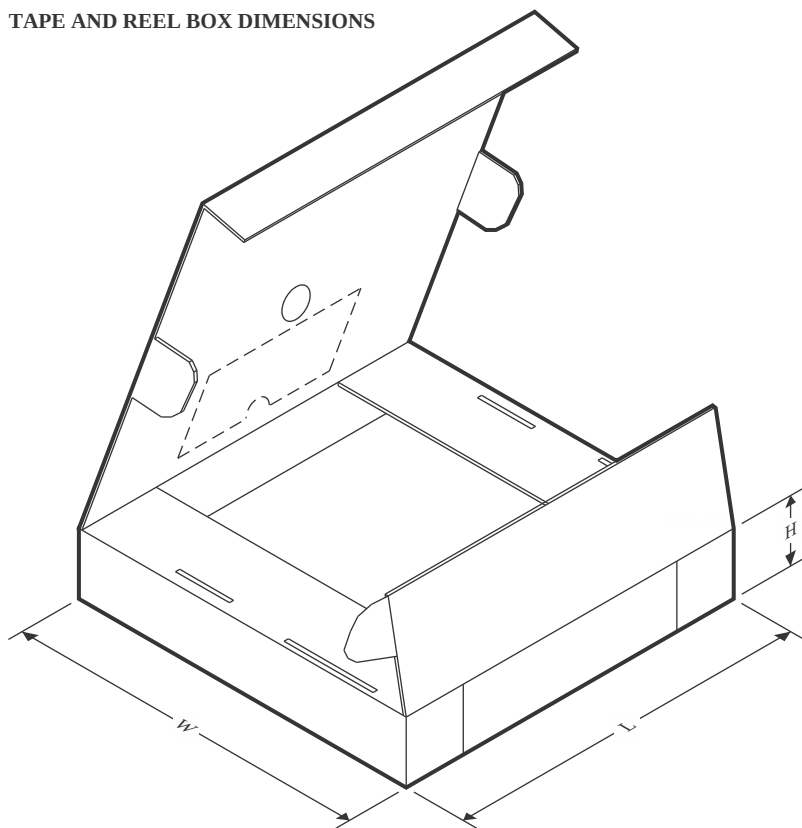
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA1611AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1611AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1612AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1612AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1612AIDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA1612AIDRGRG4	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA1612AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

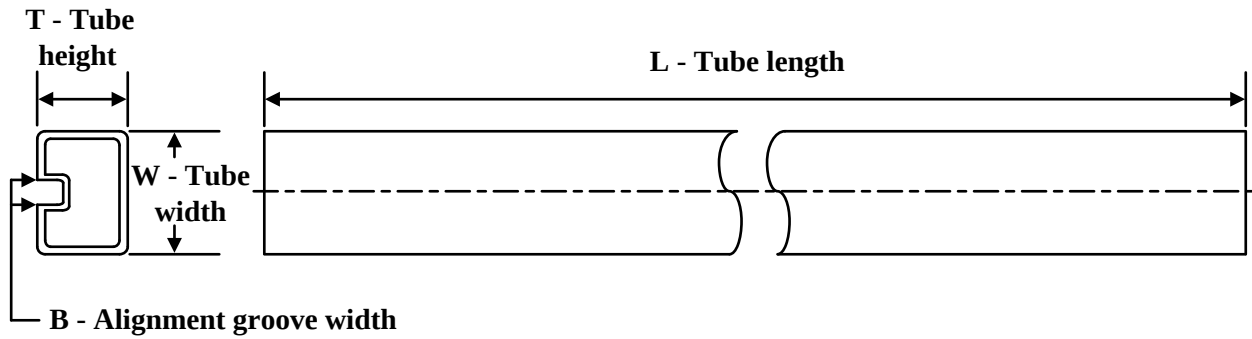
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA1611AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA1611AIDRG4	SOIC	D	8	2500	356.0	356.0	35.0
OPA1612AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA1612AIDRG4	SOIC	D	8	2500	356.0	356.0	35.0
OPA1612AIDRGR	SON	DRG	8	3000	356.0	356.0	35.0
OPA1612AIDRGRG4	SON	DRG	8	3000	356.0	356.0	35.0
OPA1612AIDRGT	SON	DRG	8	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA1611AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA1611AID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA1612AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA1612AID.B	D	SOIC	8	75	506.6	8	3940	4.32

GENERIC PACKAGE VIEW

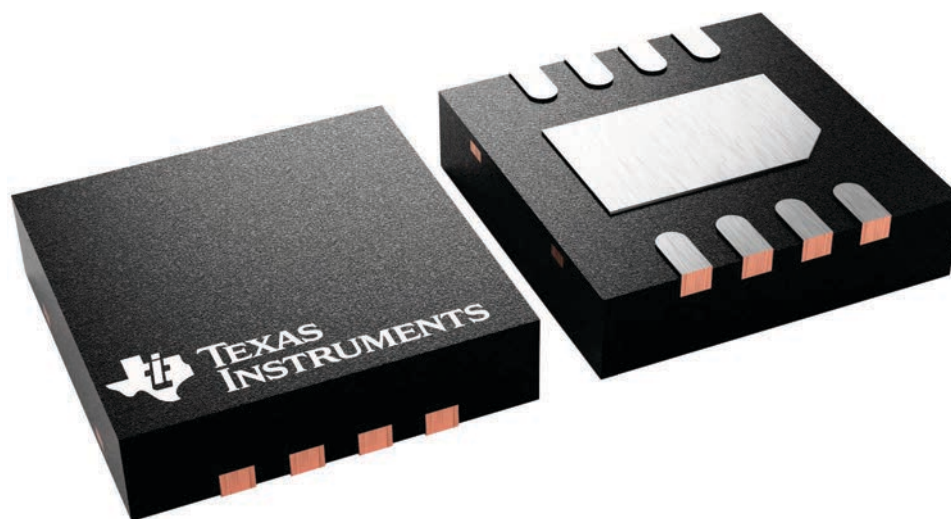
DRG 8

WSON - 0.8 mm max height

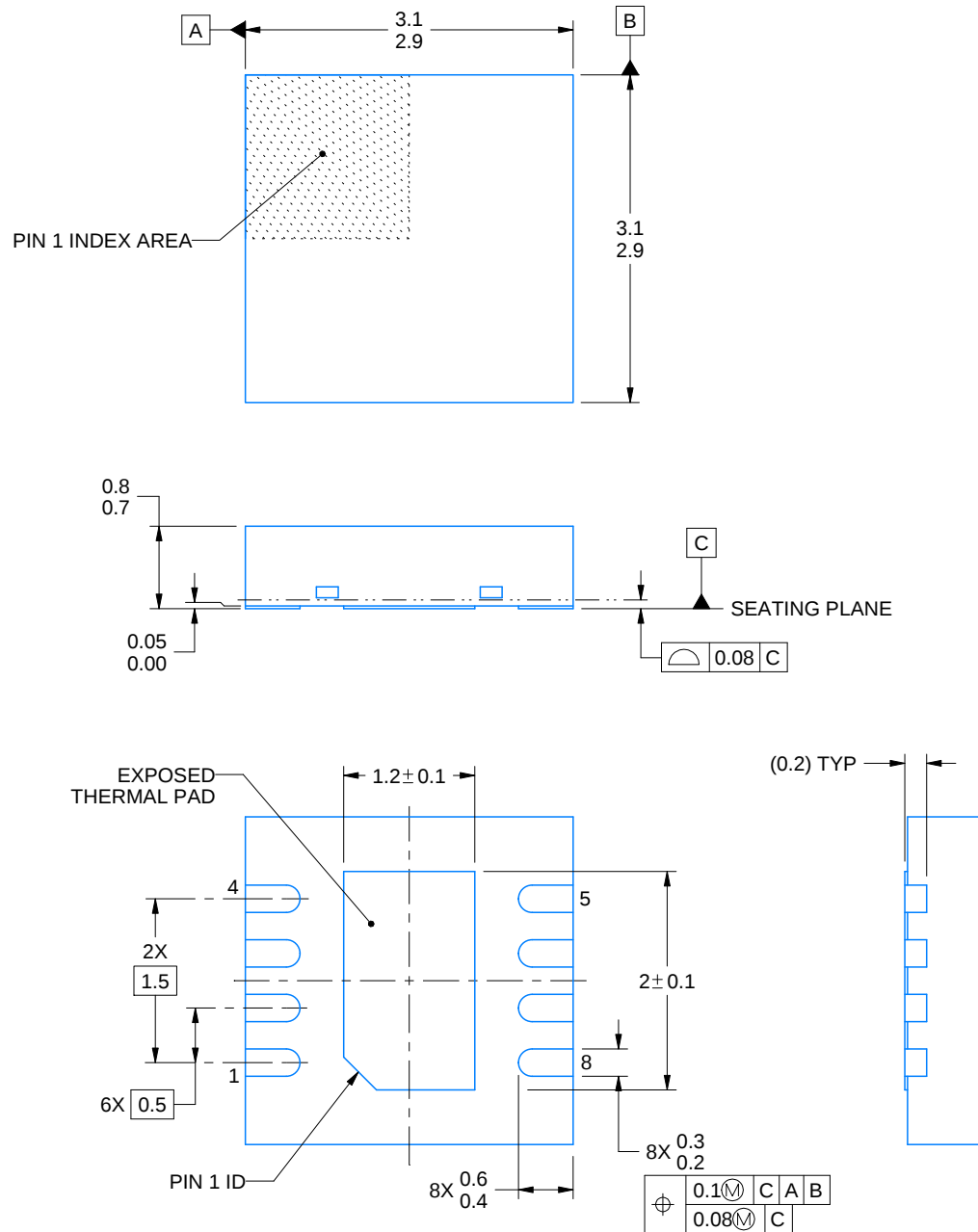
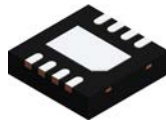
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225794/A



4218885/A 03/2020

NOTES:

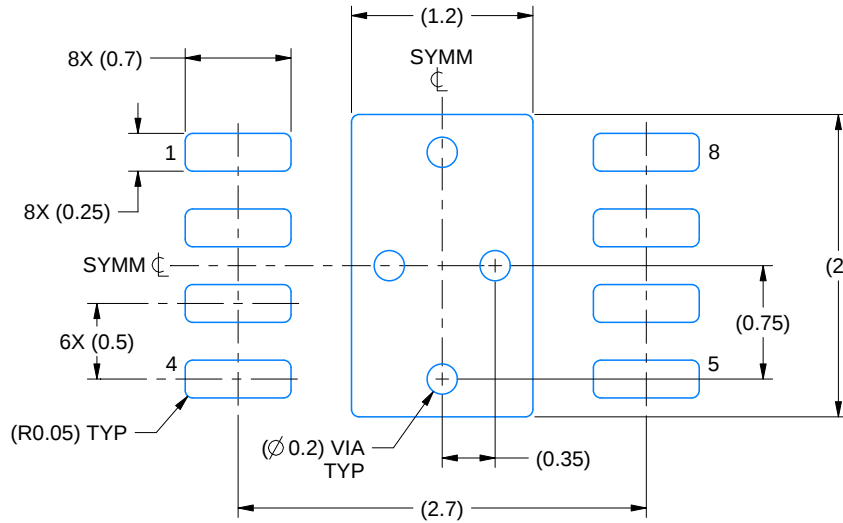
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

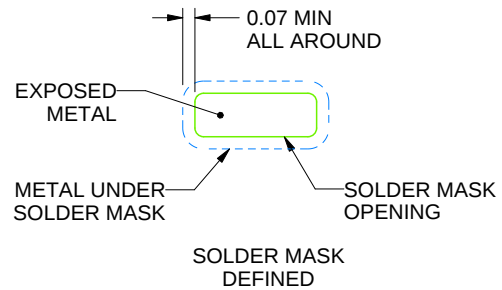
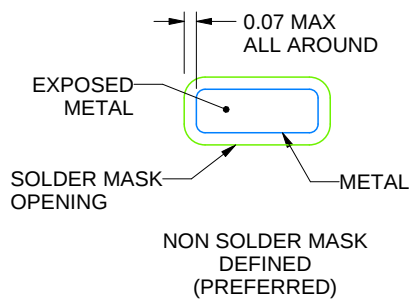
DRG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218885/A 03/2020

NOTES: (continued)

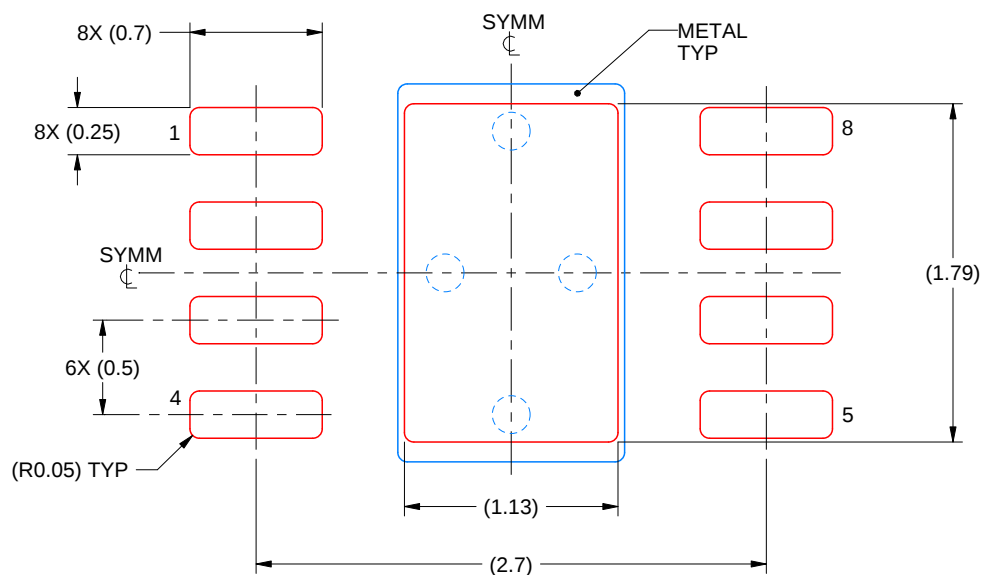
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRG0008A

WSO - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



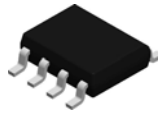
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218885/A 03/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

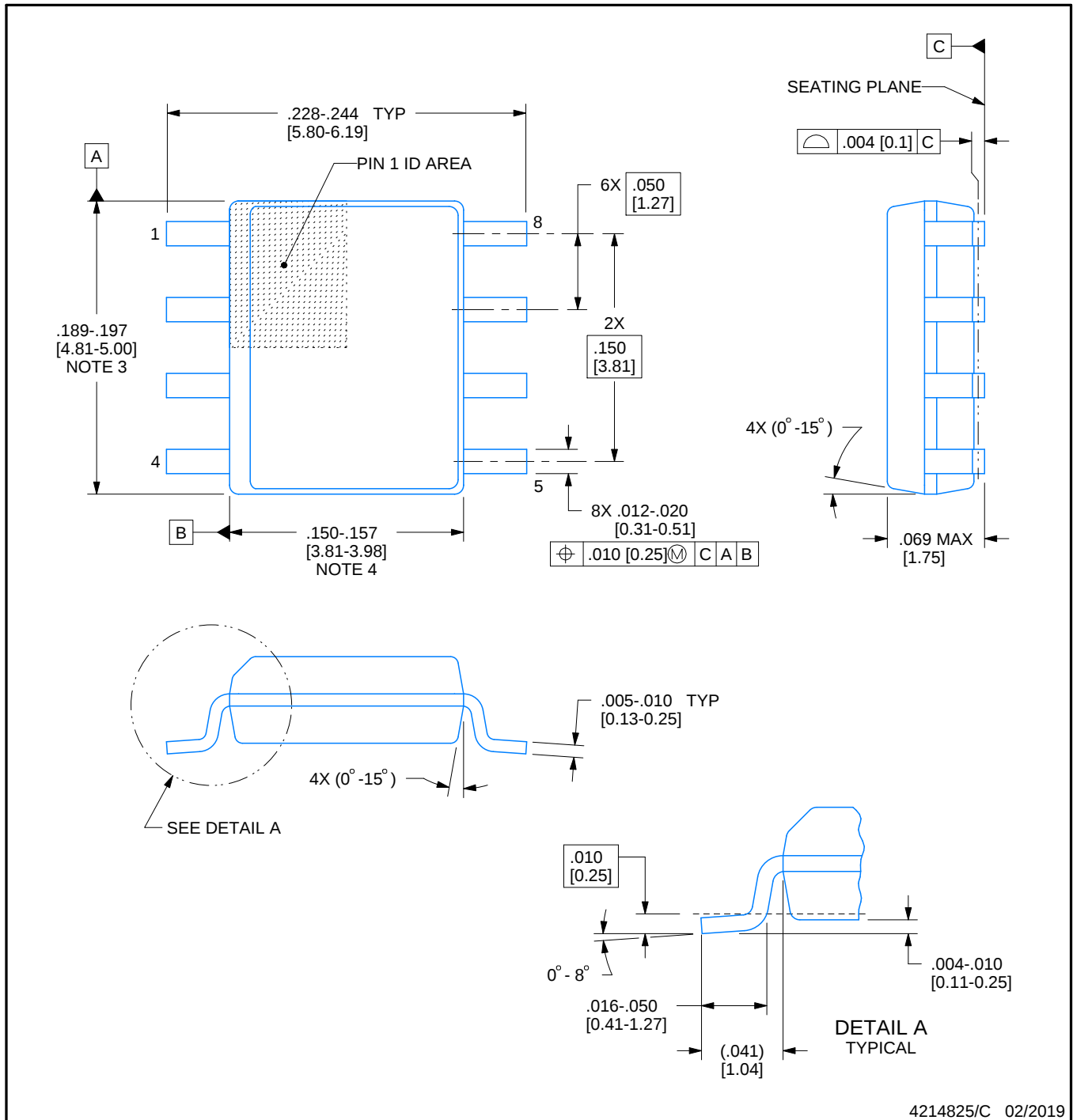


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

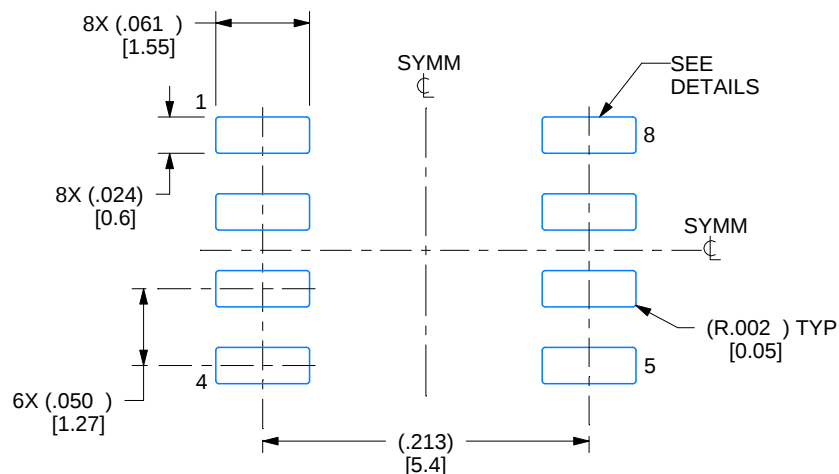
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

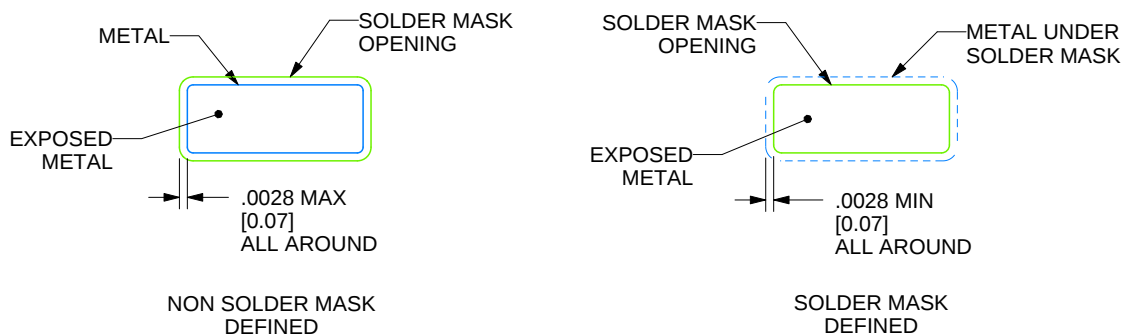
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

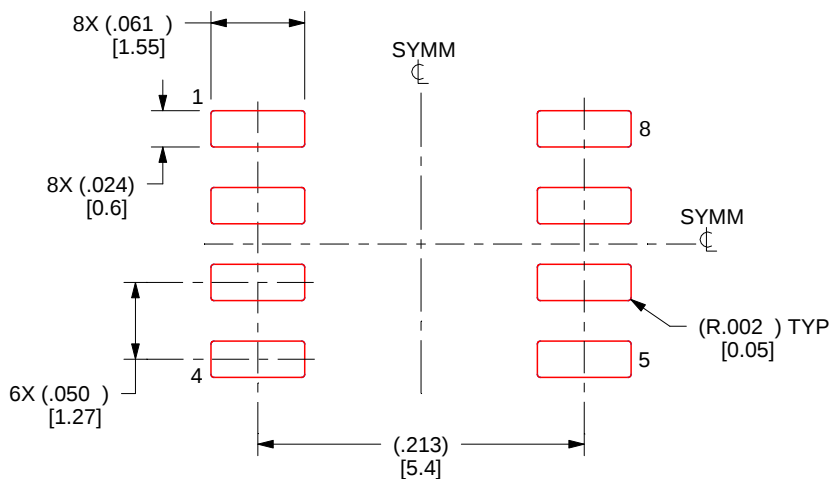
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司